

Chipontwerp van een EMC-robuste voedingsregelaar voor toepassingen in auto's.

Siemen Smolders

Promotor: prof. dr. ir. Pieter Rombouts

Begeleider: Maarten De Bock

Masterproef ingediend tot het behalen van de academische graad van
Master in de ingenieurswetenschappen: elektrotechniek

Vakgroep Elektronica en Informatiesystemen
Voorzitter: prof. dr. ir. Jan Van Campenhout
Faculteit Ingenieurswetenschappen en Architectuur
Academiejaar 2012-2013



Dankwoord

Gedurende het voorbije jaar heb ik de mogelijkheid gekregen om in de wondere wereld van analogo ontwerp geïntroduceerd te worden. Bij het aanvangen van de thesis stond ik op dat vlak nog nergens en gedurende het jaar heb ik enorm veel bijgeleerd. Dat zou niet mogelijk geweest zijn zonder de steun en kennisoverdracht van een aantal mensen die mij nauw aan het hart komen te liggen zijn.

Eerst en vooral wil ik mijn thesisbegeleider ir. Maarten De Bock bedanken voor de pakken kennis die hij mij bijbracht en voor het geduld dat hij uitoefende met mij bij mijn dagelijkse bezoeken en verzoeken om hulp. Dat geduld was namelijk broodnodig toen ik (vaak al zeverend) de transformatie onderging van een ongedisciplineerde nietswetende rups naar de ervaren analoge ontwerpsvlinder die ik nu hoop te zijn. Wetende dat ik een soms uitgesproken karakter kan hebben, moet dit niet altijd even gemakkelijk geweest zijn.

Ik bedank ook graag mijn thesispromotor professor dr. ir. Pieter Rombouts voor de diepe inzichten die hij mij verschafte in zowel de analoge ontwerpswereld als een oneindig aantal andere uit elkaar lopende onderwerpen, die doorgaans op een (achteraf gezien) ondoordringelijke manier ter sprake kwamen. Bij deze bedank en bewonder ik professor Rombouts en Maarten ook nog voor hun geduld en goedwillendheid om orde te scheppen in de chaos en wartaal die ik meer dan eens durfde uitslaan bij het uit de doeken doen van mijn ideeën.

Deze thesis zou ook niet tot stand gekomen zijn zonder een aantal mensen uit mijn directe omgeving die mij met liefde ondersteunden tijdens het moeilijkste, meest uitdagende en vooral minst luie jaar uit mijn leven. Ik bedank mijn ouders Paul Smolders en Els Debbaut en mijn broer Arne Smolders voor hun onvoorwaardelijke liefde en het verbeteren van mijn schrijven. Ik bedank ook Lies Van De Keere hartelijk voor haar continue steun en aanmoediging. Verder wil ik nog mijn vrienden bedanken voor hun steun en om mij tijdens het jaar wat afleiding van het lichtere type te bieden.

Tenslotte bedank ik ook de mensen van de vakgroep ELIS en de mensen van Melexis om mij de kans te hebben gegeven om deze thesis te kiezen en mij daarbij toe te leggen op een zeer interessant onderwerp. En ook u wordt bedankt, beste lezer (tenzij u al eens bedankt werd hierboven), om dit werk door te nemen.

Toelating tot bruikleen.

De auteur geeft de toelating deze masterproef voor consultatie beschikbaar te stellen en delen van de masterproef te kopiëren voor persoonlijk gebruik. Elk ander gebruik valt onder de beperkingen van het auteursrecht, in het bijzonder met betrekking tot de verplichting de bron uitdrukkelijk te vermelden bij het aanhalen van resultaten uit deze masterproef.

16 augustus, 2013

Design of a fast transient and EMC-robust LDO voltage regulator for automobile applications

Siemen Smolders

16 august, 2013

Abstract - This paper describes the design of a capacitor-less LDO voltage regulator for automotive applications. The architecture without a large external capacitor, but with an on-chip capacitor of 1 nF distributed over an entire lay-out, allows for system integration in System-on-Chip (SoC) designs. Due to the harsh automotive environment in terms of high voltages and conducted electromagnetic interference (EMI), extra circuitry was implemented in this design for high voltage protection and a large EMC-robustness. Furthermore, an internal feedback loop is presented that provides a fast transient response, stability for loads from 0 mA to 10 mA and a better power supply rejection (PSRR) due to the lower regulated output impedance. Compensations were integrated to drive the PSRR even higher. The 3.3 V LDO with a power supply between 4.5 V and 5.5 V was designed in the 0.18 μm XH018 technology and consumes a ground current of 0.4 mA and a chip area of 0.45 mm².

Index terms - Capacitor-less LDO, High PSRR compensation, Ahuja compensation with current amplifier, automotive, fast transient.

Introduction

The industry today is pushing more and more towards full integration of a power management

system in SoC designs. The study of these power management techniques has seen a vast increase in the last decade. A linear LDO voltage regulator constitutes an important part of such a system to provide a clean and regulated on-chip power supply. The efficiency of an LDO regulator, which uses a PMOS pass element, is higher than the conventional linear regulator with an NMOS pass element. This is due to the fact that the drop-out voltage determines the power efficiency to a great extent and a lower drop-out voltage can be acquired using a PMOS pass element. In the following the design problems of such an LDO are explained and solutions in the form of compensations and an intelligent circuit choice are given.

Design considerations

Architecture

In the architecture used in this design, the error amplifier and pass transistor were separated from the input voltage. This was effected to shrink the resulting lower voltage pass transistor and improve general performance. The circuitry to ensure this separation was also used to improve the EMC-robustness. The two stage error amplifier was then carefully designed to include not only a fast internal feedback loop to improve the transient response, but also a compensation network to improve the PSRR. The first stage is made up of a PMOS differential pair and a folded cascode (with a PMOS current mirror) so both the internal feedback loop and the PSRR compensation network can be integrated in this folded cascode. This way, both compensation schemes use the same cur-

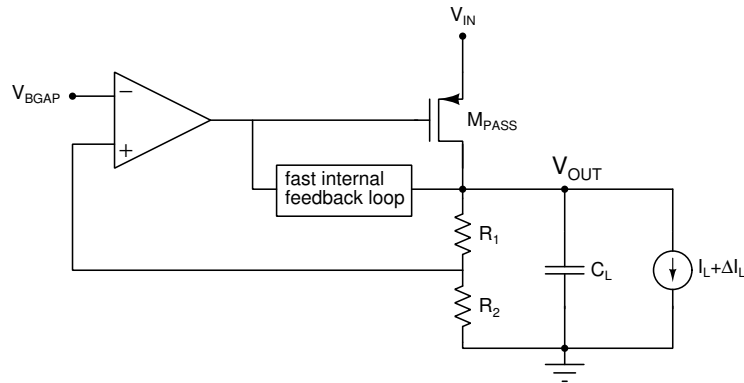


Figure 1: LDO with fast internal feedback loop

rent and this results in a good performance at a high current efficiency.

High voltages and conducted EMI

The harsh automotive environment leads to possible input voltages as high as 28 V and superimposed conducted EMI with a power up to 1 W. If the pass transistor and the error amplifier were designed to withstand these voltages, it would lead to the use of very large transistors (and thus parasitic capacitances). This results in a poor performance of the transient behaviour and PSRR. Therefore, extra circuitry was implemented to separate the input voltage and the regulator. This results in a lower maximum drop-out voltage (due to the voltage drop over this circuitry) but due to the use of the smaller low voltage pass transistor the performance enhances greatly. This high voltage protection circuit is also used, in combination with a PMOS used as reverse polarity protection and a total of 150 pF capacitors, to reduce the large voltage swing at the input due to conducted EMI. The differential pair and bias currents were supplied by the output voltage. This necessitates the use of a start-up circuit, but results in a very large EMC-robustness. When an AC voltage V_{EMI} of 40 V_{p-p} at 100 MHz and with a source impedance of 50 Ω is applied at the input, the output voltage does not change more than 20 mV in regime (when the transient of V_{EMI} has died out).

Internal feedback loop

To obtain a fast transient response to a current step at the output, a fast internal feedback loop was used as shown in figure 1. This internal feedback loop is known as Ahuja compensation. It consists of a capacitor and a current buffer and in this design current amplification was added to shrink the necessary compensation capacitor by tenfold. This current amplification has some positive and some negative effects. The positive effects were exploited to a great extent and the negative effects were strongly mitigated. The Ahuja compensation with current amplification results in a low regulated output impedance of the voltage regulator up to a few MHz. From those frequencies on, the impedance seen at the output is then dominated by the on-chip 1 nF capacitor. The output voltage never changes more than 50 mV when a current step of 0,5 mA is applied. Furthermore, a worst case phase margin of 82° is kept for load currents from 1 to 10 mA (normal use).

PSRR

There are three main ways for a supply voltage variation of the regulator to couple through to the output voltage. These were each analyzed and partly compensated for. The first effect is the coupling from the supply voltage to

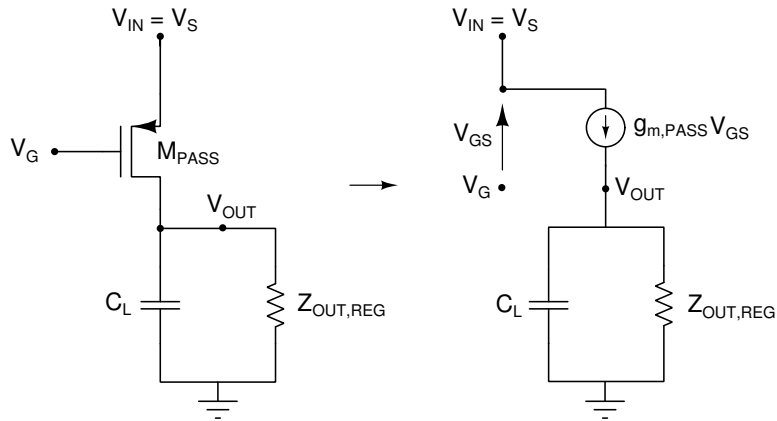


Figure 2: Dominant effect of PSRR

the bandgap voltage reference. This bandgap circuit was not included in this design, but on a system level the choice was made to use the output voltage of the regulator as supply for the bandgap circuit. In this way the first effect can be greatly mitigated.

The second way is the simple voltage division from the supply of the regulator to the output voltage. By making the output resistance of the pass transistor high and the regulated output impedance low, this effect can be reduced.

Finally, the third effect is the coupling from the supply of the regulator to the pass transistor, which acts as a voltage controlled current source, sending current into the regulated output impedance. This reasoning is schematically shown in figure 2. If the small signal gain from the supply to the gate of the pass transistor differs from unity, this current changes the output voltage. However, in the compensation schemes used, a small amplification from the supply to the gate of the pass transistor was realized. The voltage division (second) effect and this third effect then each change the output voltage in a different direction, partly cancelling each other. Both low and high frequency PSRR compensation schemes were implemented. Through the use of a PMOS current mirror connected to

the gate of the pass transistor and the use of two well placed compensation capacitors, an excellent worst case PSRR of -30 dB was obtained at an input voltage of 5 V. This very effective compensation is added without the necessity of any extra ground current, since the same folded cascode branch as for the internal feedback loop was used.

Conclusion

A capacitor-less LDO voltage regulator was designed, based on a two stage architecture and additional protection circuitry. An additional internal feedback loop was thereby used to obtain a strong transient response, a low regulated output impedance, stability at load currents from 0 mA to 10 mA and a high PSRR. Furthermore, a very effective PSRR compensation at the cost of an extra capacitor of 1,7 pF but without any extra ground current was also implemented. In total a chip area of 0.45 mm² was occupied.

Inhoudsopgave

1	Inleiding	1
1.1	Motivatie	1
1.2	Beperkingen en specificaties	1
2	Lineaire spanningsregelaar	3
2.1	Topologie	3
2.2	Pass transistor	5
2.3	Foutversterker	6
2.4	Bandgap spanningsreferentie	6
3	Algemene ontwerpstrategie	8
3.1	Blok voor hoogspanningsbescherming en EMC-robustheid	8
3.2	Dimensionering pass transistor	9
3.3	Ontwerp van de foutversterker	11
4	Ontwerp HSB+EMC blok	12
4.1	Transistorkeuzes	12
4.2	Hoogspanningsbescherming	12
4.2.1	Werking	12
4.2.2	Stabiliteit	15
4.3	EMC-robustheid	16
5	PSRR	20
5.1	Verschillende doorkoppeleffecten	20
5.2	Doorkoppeling naar VBGAP	21
5.3	Rechtstreekse doorkoppeling	21
5.4	Doorkoppeling naar gate pass transistor	24
6	Stroomstapantwoord en stabiliteit	29
6.1	Interne terugkoppeling	30
6.1.1	Stroomstapantwoord	30
6.1.2	Stabiliteit	34

7	Finaal ontwerp	37
7.1	Differentiaalpaar	37
7.2	Gevouwen cascode	39
7.3	Compensaties	39
7.3.1	Ahuja compensatie met stroomversterking	40
7.3.2	Compensatie voor PSRR	43
7.4	EMC-robustheid	46
8	Toekomstig werk	50
9	Besluit	52

Hoofdstuk 1

Inleiding

1.1 Motivatie

De elektronica industrie richt zich vandaag de dag sterk op System-on-Chip (SoC) ontwerp, waarbij volledige systemen on-chip vervaardigd worden zonder het gebruik van externe componenten. Dit leidt tot een lager vermogenverbruik, kleinere oppervlaktes, een grotere betrouwbaarheid en een lagere kost. Er treden echter ook problemen op bij het integreren van digitale en analoge circuits op eenzelfde chip. De snel schakelende digitale circuits induceren ruis via de voeding in de ruisgevoelige analoge blokken. Daarenboven kan deze voeding op zich al een eenvoudige batterij zijn met een grillige spanningskarakteristiek. Het is duidelijk dat er in een SoC nood is aan een voedingsregelaar. Het doel van zo een regelaar is het leveren van een geregelde constante voedingsspanning, onafhankelijk van de ingangsspanning en de belasting ervan.

In dit werk wordt er toegespitst op het ontwerp van een voedingsregelaar voor gebruik in auto's. De opdracht voor dit ontwerp komt van Melexis, een internationale speler in de auto-elektronica industrie. Melexis is gespecialiseerd in het ontwerp en de ontwikkeling van elektronische systemen voor toepassingen in auto's. Er werd bij dit ontwerp rekening gehouden met de opgelegde specificaties en ontwerpsbeperkingen van Melexis zodat de voedingsregelaar rechtstreeks geïntegreerd kan worden in hun producten.

1.2 Beperkingen en specificaties

De voornaamste eisen en beperkingen zijn dat er moet gewerkt worden in de XH018 technologie ($0.18\ \mu\text{m}$), het pass element moet een PMOS transistor zijn en er mag geen externe condensator gebruikt worden. Een externe condensator zou niet alleen het on-chip karakter van de spanningsregelaar teniet doen, maar vergt ook een extra pin en dit biedt een extra conductief pad voor elektromagnetische storingen. Er mag wel gerekend worden op een on-chip condensator van $1\ \text{nF}$ aan de uitgang ($3,3\ \text{V}$). Deze condensator wordt verspreid over de hele chip bij wijze van plaatsvulling.

In tabel 1.1 wordt een overzicht gegeven van de opgelegde specificaties van Melexis. De regelaar moet een ingangsspanning tussen -14 V en 18 V twee uren kunnen overleven bij maximale temperatuur (175 °C) en er moet een kortstondige piek tot 28 V (jump start conditie) getolereerd worden. Verder geldt dat de uitgangsspanning 3,3 V moet bedragen vanaf de ingangsspanning groter wordt dan 4,5 V. Tijdens de opstartfase wordt een kortstondige overshoot tot 3,6 V toegelaten. De temperatuurcoëfficiënt van de uitgangsspanning mag niet meer dan 100 ppm/°C bedragen. De laststroom wordt maximaal 10 mA en het stroomverbruik van de regelaar mag niet hoger zijn dan 0,5 mA. Bij een stroomstap van 0,5 mA mag de uitgangsspanning niet meer van 50 mV veranderen. Het volledige ontwerp mag daarbij een maximale chipoppervlakte van 0,5 mm² innemen. Tenslotte moet er aandacht zijn voor een hoge PSRR¹ en EMC-robuustheid². Dit zijn uiterst belangrijke eigenschappen van een voedingsregelaar voor toepassingen in auto's vanwege de grillige autobatterijspanning, de ingekoppelde storingen van de digitale circuits op de voedingslijn en de elektromagnetische vervuilde aard van de omgeving.

Parameter	MIN	TYP	MAX	Eenheid	Opmerking
V _{IN} (normaal)	4,5	5	5,5	[V]	
V _{IN} (uitzonderlijk)	-14		18	[V]	2 uren overleven bij 175 °C
V _{IN} (korte piek)			28	[V]	Jump start conditie
V _{UIT} (normaal)	3,2	3,3	3,4	[V]	Vanaf V _{IN} > 4,5 V
V _{UIT} (opstartpiek)			3,6	[V]	
TC van V _{UIT}			100	[ppm/°C]	
Laststroom			10	[mA]	
Stroomverbruik			0,5	[mA]	
ΔV _{UIT}			50	[mV]	Bij ΔI _L = 0,5 mA
Chipoppervlakte			0,5	[mm ²]	

Tabel 1.1: Opgelegde specificaties

Bij het ontwerp werd er (inzichtvol) gebruik gemaakt van een script-gebaseerd methode. Dit betekent dat tabellen gesimuleerd werden op basis van de gebruikte XH018 transistor-modellen in Cadence en door het ingeven van drie parameters (bijvoorbeeld kanaallengte L, transconductantie g_m en stroom I_D) kan uit de tabellen een vierde (bijvoorbeeld kanaalbreedte W) berekend worden. Het resultaat kan meteen ingeladen worden in de EDA software tool *Cadence* en alzo worden de transistordimensies automatisch ingevuld. Dit versnelt het ontwerp aanzienlijk en vermijdt fouten bij het invullen van de transistordimensies.

¹Power Supply Rejection Ratio: Een maat waarmee uitgedrukt wordt hoe goed kleinsignaalruis op de ingangsspanning onderdrukt wordt in de uitgangsspanning.

²Hiermee wordt bedoeld dat een geldige uitgangsspanning moet geleverd worden wanneer er hoogfrequente ruis met grote amplitude ingekoppeld wordt aan de ingang.

Hoofdstuk 2

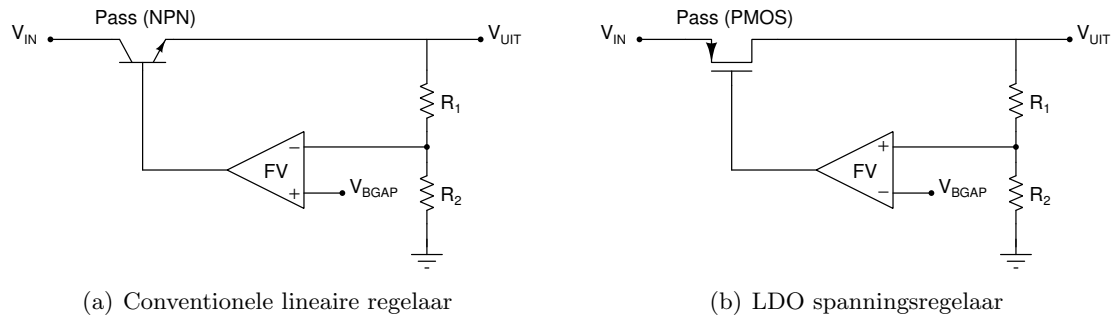
Lineaire spanningsregelaar

Het hoofddoel van een spanningsregelaar is het leveren van een geregelde constante voedingsspanning, onafhankelijk van de ingangsspanning en de belasting. Er bestaan twee klassen spanningsregelaars, namelijk de schakelende regelaar en de lineaire regelaar. De schakelende regelaar plaatst een element in serie met de belasting en schakelt dit element aan hoge frequentie af en aan. De duty cycle wordt via een terugkoppelingsmechanisme zo geregeld dat een welbepaalde lading de last bereikt. Aangezien het geschakelde element in serie met de belasting als een aan/af schakelaar werkt, kan een zeer hoge efficiëntie bereikt worden. Een lineaire regelaar werkt daarentegen in zijn lineair gebied. Het element in serie met de last werkt als een regelbare weerstand waarvan de waarde via een terugkoppelingsmechanisme snel en continu geregeld wordt. Aangezien er steeds een spanningsval over het serie-element staat terwijl de laststroom erdoor loopt, ligt de efficiëntie van lineaire regelaars lager dan bij schakelende regelaars en dit verlies van vermogen wordt gedissipeerd als warmte. Als er echter eisen gesteld worden zoals een snelle regeling en weinig ruis aan de uitgang, dan moet gekozen worden voor de (voor deze kenmerken) superieure lineaire regelaar.

2.1 Topologie

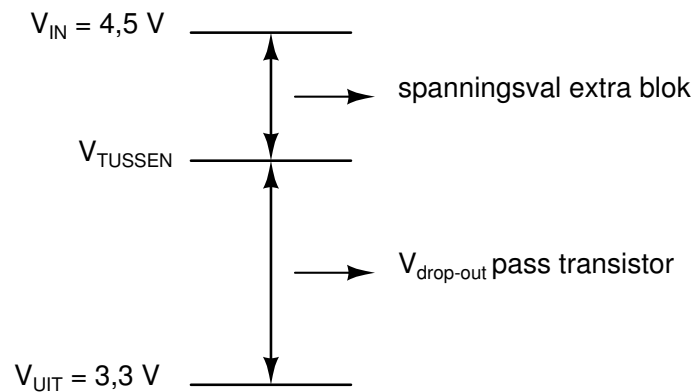
Enkele mogelijke topologieën van een lineaire spanningsregelaar worden getoond in figuur 2.1, waarbij het enige verschil tussen de verschillende topologieën de keuze van de pass transistor betreft. In het algemeen bestaat een lineaire regelaar uit een pass transistor waarvan de resistiviteit tussen de ingangs- en uitgangsspanning geregeld wordt door de gate- of basisspanning van deze transistor te moduleren. Deze modulatiespanning wordt geleverd door een foutversterker (FV) met als inputs een bandgap spanningsreferentie (V_{BGAP}) en een spanning afgeleid van de output via feedbackweerstand R_1 en R_2 . De pass transistor kan enerzijds van het type PMOS of PNP zijn (common-source configuratie) of anderzijds kan het een NMOS of NPN transistor zijn (common-drain of volger configuratie). De kleinst mogelijke spanning waarbij de pass transistor in zijn bedoelde werkgebied (saturatie) blijft, heet de drop-out spanning. In LDO (Low Drop-Out) spanningsregelaars is deze drop-out spanning heel wat kleiner dan bij de

conventionele spanningsregelaars. De gewonnen spanning kan dan zorgen voor een betere efficiëntie of kan gebruikt worden om de performantie van de regelaar te verbeteren.



Figuur 2.1: Soorten lineaire spanningsregelaars

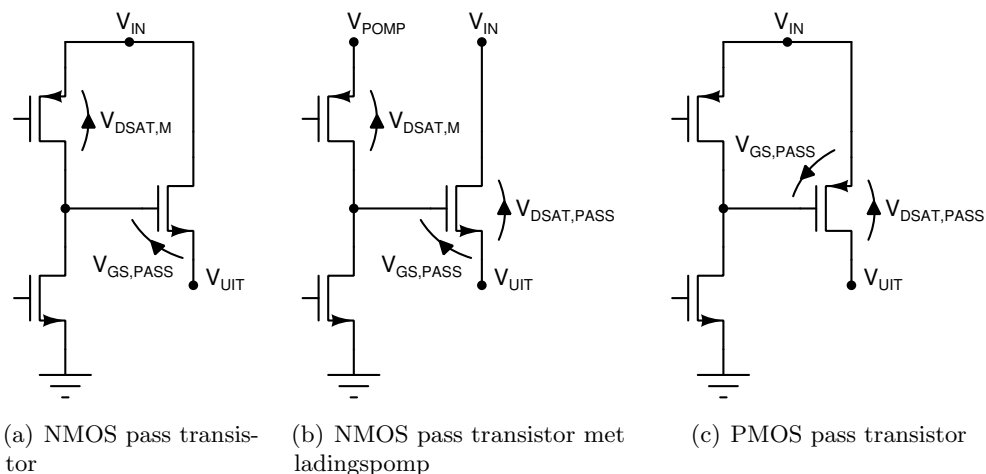
In figuur 2.2 staat schematisch weergegeven welke de spanningsniveaus zijn in dit ontwerp. De minimale ingangsspanning waarbij de uitgangsspanning 3,3 V moet bedragen is 4,5 V. In dit ontwerp wordt voor de pass transistor een extra blok geplaatst dat in hoogspanningsbescherming en EMC-robuustheid voorziet. Dit resulteert in een extra spanningsval, waardoor de drop-out spanning lager moet gekozen worden dan 1,2 V ($= V_{IN} - V_{UIT}$). De specifieke waarden van het tussenliggend spanningsniveau V_{TUSSEN} en de drop-out spanning worden later bepaald. Bij het ontwerp van deze blokken zal blijken dat een betere EMC-robustheid resulteert in een minder sterke performantie van de regelaar zelf.



Figuur 2.2: Spanningsniveaus in dit ontwerp

2.2 Pass transistor

MOSFETs presteren als pass transistor op een aantal belangrijke vlakken beter dan bipolaire transistoren. Zo hebben MOSFETs doorgaans een kleinere drop-out spanning en een lager stroomverbruik. Dit laatste komt door het feit dat bipolaire transistoren stroomgestuurde elementen zijn en er een grote basisstroom zal vloeien wanneer een grote laststroom moet geleverd worden. Het zijn dan ook vooral de spanningsgestuurde MOSFETs die gebruikt worden in hedendaagse ontwerpen.



Figuur 2.3: Mogelijke NMOS en PMOS topologieën

De PMOS en NMOS hebben elk hun voordelen. De NMOS is eerst en vooral kleiner in oppervlakte dan de PMOS. De daaruitvolgende kleinere parasitaire capaciteiten en de NMOS volgerconfiguratie maken frequentiestabilisatie eenvoudiger dan bij de PMOS. De NMOS heeft ook een lagere aan-weerstand tussen drain en source ($R_{DS, AAN}$) en dat resulteert in een lagere saturatiespanning V_{DSAT} . Dit betekent echter niet dat de NMOS ook een lagere drop-out spanning heeft dan de PMOS. Op figuur 2.3 worden twee NMOS eindtrappen en een PMOS eindtrap getoond met telkens (een deel van) de voorlaatste trap. Uit deelfiguur a) is duidelijk dat de drop-out spanning voor de NMOS topologie gelijk is aan $V_{DO, NMOS} = V_{GS, PASS} + V_{DSAT, M}$. Voor de pass transistor loopt $V_{GS, PASS}$ al snel op tot meer dan 2,5 V bij maximale laststroom. De benodigdeingangsspanning V_{IN} om $V_{UIT} = 3,3 \text{ V}$ te kunnen leveren wordt dan groter dan $(3,3 \text{ V} + 2,5 \text{ V} =) 5,8 \text{ V}$, terwijl in dit ontwerp slechts mag gerekend worden op 4,5 V. In deelfiguur b) wordt een veel gebruikte oplossing getoond. Met behulp van een ladingspomp wordt de gatespanning van de NMOS tot op een spanning hoger dan V_{IN} gebracht. Zo wordt de drop-out spanning toch gelijk aan $V_{DSAT, PASS}$, maar daar zijn nadelen aan verbonden. De ladingspomp neemt (een deel van) de gewonnen plaats ten opzichte van een PMOS in, leidt tot meer stroomverbruik en zorgt voor extra ruis aan de uitgang.

In deelfiguur c) wordt de PMOS topologie getoond. Hier is de gate-source spanning negatief gerefereerd ten opzichte van de ingangsspanning, waardoor de drop-out spanning gelijk is aan $V_{DSAT,PASS}$. Een PMOS geeft echter wel aanleiding tot een extra versterkertrap vanwege de common-source configuratie. Dit heeft als gevolg dat het systeem moeilijker te stabiliseren is. Aangezien in dit ontwerp de ingangsspanning en uitgangsspanning 1,2 V kunnen verschillen en er nog eens extra spanningsval veroorzaakt wordt door het blok voor hoogspanningsbescherming en EMC-robustheid is het duidelijk dat voor deze opdracht de PMOS topologie de voorkeur geniet. Dit was dan ook een ontwerpkeus van opdrachtgever Melexis.

2.3 Foutversterker

Het doel van de foutversterker is om de spanning afgeleid van de uitgang via de terugkoppelweerstand te vergelijken met de bandgap spanningsreferentie en een fout-signaal uit te sturen naar de gate van de PMOS pass transistor. Na de dimensionering van de pass transistor om een gewenste drop-out spanning te krijgen wordt de foutversterker ontworpen. Het meeste werk bij het ontwerp van een voedingsregelaar komt neer op het ontwerp van deze foutversterker. Er moet rekening gehouden worden met de vele afwegingen tussen stroomverbruik, snelheid, stabiliteit, uitgangsimpedantie en het daarmee samenhangend antwoord op een stroomstap en het vermogen om ruis op de voedingslijn te onderdrukken. Ook belangrijk om te vermelden is dat het gebrek aan een grote externe condensator het ontwerp aanzienlijk bemoeilijkt en het zorgt voor meer stroomverbruik, een moeilijker te bereiken stabiliteit, een hogere uitgangsimpedantie voor hoge frequenties en dus een zwakkere PSRR.

2.4 Bandgap spanningsreferentie

Een bandgap spanningsreferentie is een circuit dat een vaste spanning levert op basis van de bandgap in silicium. Bij het ontwerp ervan wordt ervoor gezorgd dat de spanningsreferentie zo onafhankelijk mogelijk is van de temperatuur en de voedingspanning. De bandgap spanningsreferentie is bij spanningsregelaars vaak de doorslaggevende factor bij de ruis aan de uitgang. Onderstaande vergelijking (2.1) toont de afhankelijkheid van de uitgangsspanning aan de bandgap referentiespanning en variaties op de ingangsspanning.

$$V_{UIT} = \frac{V_{BGAP}}{\beta} \frac{KW}{KW + 1} + \frac{V_{IN}}{\beta A_{FV}} \frac{KW}{KW + 1} \quad (2.1)$$

met β de terugkoppelfactor bepaald door de terugkoppelweerstand, A_{FV} de versterking van de foutversterker en KW de kringwinst van de spanningsregelaar.

Hieruit blijkt dat variaties op de bandgap referentiespanning veel minder (factor A_{FV}) onderdrukt worden dan variaties op de ingangsspanning. Om deze reden wordt het bandgapcircuit in dit ontwerp gevoed met de geregelde uitgangsspanning in plaats van de ingangsspanning. Op deze manier wordt de ruis het beste onderdrukt, maar dan is er

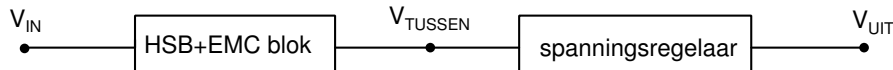
nood aan een opstartcircuit. Het ontwerp van het bandgapcircuit zelf maakt geen deel uit van dit werk. Een bandgapcircuit met een referentiespanning van 1,25 V en regelbare terugkoppelweerstand (via 4 bits) worden geleverd door Melexis. Via deze regelbare weerstanden kan de uitgangsspanning worden gecalibreerd. De uitgangsspanning kan namelijk van de gewenste waarde afwijken door een afwijkende bandgap referentiespanning of mismatch in het differentiaalpaar van de foutversterker. Het bandgapcircuit levert ook een aantal specifieke moederstromen waarvan alle stromen in de spanningsregelaar worden afgeleid.

Hoofdstuk 3

Algemene ontwerpstrategie

3.1 Blok voor hoogspanningsbescherming en EMC-robuustheid

Bij het ontwerp van een spanningsregelaar moet eerst en vooral gekeken worden naar het minimale spanningsverschil tussen de ingang en uitgang. Volgens de specificaties bedraagt die 1,2 V. Op basis van dit spanningsverschil wordt dan normaal gezien eerst de pass transistor gedimensioneerd. Omdat de ingangsspanning enerzijds -14 V kan worden en anderzijds kortstondig kan oplopen tot 28 V moeten alle transistoren aan de voedingslijn zo worden gekozen dat ze negatieve spanningen aankunnen en een hogere maximale drain-source spanning $V_{DS,MAX}$ dan 28 V hebben. In de XH018 technologie valt de keuze dan op de zeer grote symmetrische *phhv* transistor met $V_{DS,MAX} = 45$ V. De performantie van de regelaar (snelheid, stroomverbruik, PSRR, antwoord op stroomstap) wordt gereduceerd door de grote parasitaire gate-source en gate-drain capaciteiten.



Figuur 3.1: Het volledige systeem met aangegeven spanningen

Om het probleem van de grote parasitaire capaciteiten op te lossen wordt een extra blok ontworpen dat tussen enerzijds de ingang en anderszijds de pass transistor en voeding van de foutversterker wordt geschoven. Dit wordt schematisch weergegeven in figuur 3.1. Dit blok vervult twee functies. Enerzijds moet het de spanning V_{TUSSEN} beperken zodat kleinere transistoren kunnen gebruikt worden (hoogspanningsbescherming) en anderzijds moet het blok hoogfrequente ruis met grote amplitudes kunnen onderdrukken (EMC-robustheid). Verder wordt verwezen naar dit blok als het HSB+EMC blok (hoogspanningsbescherming en EMC-robustheid). De *phhv* transistor zal gebruikt worden in dit blok om de eigenlijke spanningsregelaar te beschermen tegen negatieve en hoge spanningen. Aangezien de waarde waarop de spanning V_{TUSSEN} vastgeklemd wordt nog kan variëren (ongeveer 4 V) bij verschillende ingangsspanningen, temperatuur

en procesvariaties, wordt uit veiligheidsoverwegingen gekozen voor een transistor met een $V_{DS,MAX}$ hoger dan 10 V. De kleinste transistor met de laagste aan-weerstand die hieraan voldoet is de *pmc* transistor met een $V_{DS,MAX}$ van 20 V.

Er wordt dus gekozen om een deel van de spanning tussen ingang en uitgang op te offeren voor dit blok, maar uit tabel 3.1 blijkt dat dit desondanks zal resulteren in een betere algemene performantie van de spanningsregelaar. Ten eerste zijn de parasitaire capaciteiten van de *pmc* transistor (met lagere drop-out spanning) kleiner dan die van de *phhv* transistor (met hogere drop-out spanning). Ten tweede is de transconductantie $g_{m,pmc}$ ook hoger dan $g_{m,phhv}$ waardoor de parasitaire pool aan de uitgang bij een hogere frequentie zal liggen voor de *pmc* transistor. Dit is positief voor zowel de stabiliteit als de snelheid van de regelaar. Bij de simulaties van de waarden in deze tabel werd uitgegaan van eeningangsspanning van 5 V, een maximale laststroom van 10 mA en de maximale temperatuur van 175°C.

Parameter	phhv	pmc	Eenheid
V_{DSAT}	1,182	0,827	[V]
L	3,5	1,3	[μm]
W	5250	2500	[μm]
C_{GS}	6,94	1,5	[pF]
C_{GD}	9,65	0,91	[pF]
g_m	11,98	15,12	[mS]

Tabel 3.1: Vergelijking belangrijkste parameters van *phhv* en *pmc* transistoren bij $V_{IN} = 5\text{ V}$, $I_L = 10\text{ mA}$ en 175°C.

3.2 Dimensionering pass transistor

Eens een goede werking van het HSB+EMC blok is bereikt bij een aannemelijke chipoppervlakte is meteen ook de maximaal toelaatbare drop-out spanning bepaald. Het blok is uiteindelijk zo ontworpen dat er bij de meest negatieve condities ($V_{IN} = 4,5\text{ V}$, $I_L = 10\text{ mA}$ en bij 175°C) een spanningsval over staat van 324 mV. De sourcespanning van de pass transistor bedraagt dan 4,17 V, waardoor de pass transistor een maximale saturatiespanning (of drop-out spanning) mag hebben van 870 mV (4,17 V - 3,3 V). De pass transistor kan dan script-gebaseerd gedimensioneerd worden via de gesimuleerde tabellen van de *pmc* transistor voor dezelfde meest negatieve condities. De dimensionering van de *pmc* transistor voor de maximaal toelaatbare drop-out spanning is weer te vinden in tabel 3.1. Dit is echter niet de uiteindelijke dimensionering van de pass transistor, omdat de transistor bij $V_{TUSSEN} = 4,17\text{ V}$ nog niet diep genoeg in het saturatiegebied vertoeft. Daardoor wordt de uitgangsimpedantie ervan bij deze spanning heel wat lager dan in het diepe saturatiegebied en dit heeft falikante gevolgen voor de PSRR. Dit

wordt verder besproken in het hoofdstuk over PSRR. De belangrijkste parameters van de uiteindelijke transistor worden opgesomd in tabel 3.2.

Parameter	Waarde	Eenheid
V_{DSAT}	685	[mV]
L	1,3	[μm]
W	3600	[μm]
C_{GS}	2,18	[pF]
C_{GD}	1,52	[pF]

Tabel 3.2: Belangrijkste parameters van finale *pmc* transistor bij $V_{IN} = 5\text{ V}$, $I_L = 10\text{ mA}$ en 175°C .

Ter volledigheid wordt hier nog meegegeven hoe de gezochte kanaalbreedte W via manuele berekening kan worden gevonden. Er wordt vertrokken van de vereenvoudigde stroomvergelijking van een MOSFET in saturatiegebied:

$$I = \frac{\mu C_{ox}}{2} \frac{W}{L} (V_{GS} - |V_T|)^2 \quad (3.1)$$

waarbij geldt dat:

$$V_{DS} \geq V_{GS} - |V_T| = V_{DSAT} \quad (3.2a)$$

$$V_{GS} > |V_T| \quad (3.2b)$$

Hier zijn μ de effectieve mobiliteit van de ladingsdragers, C_{ox} de gate oxide capaciteit, L en W de kanaallengte en -breedte, V_{GS} de gate-source spanning en V_T is de drempelspanning. Wanneer de gelijkheid in (3.2a) wordt ingevuld in (3.1) (overgangspunt saturatie en lineair gebied) en opgelost wordt naar kanaalbreedte W geeft dit:

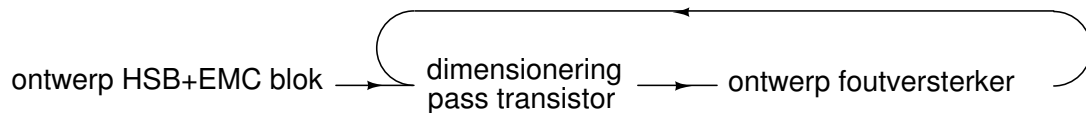
$$W = \frac{2LI}{\mu C_{ox} V_{DSAT}^2} \quad (3.3)$$

Op deze manier kan (met kennis van technologieparameter μ en C_{ox}) een eerste schatting bekomen worden van W bij een gegeven L , maximale laststroom I en drop-out spanning V_{DSAT} . Dit vormt een goed startpunt en via simulatie in *Cadence* kan dan een exacte waarde gevonden worden.

3.3 Ontwerp van de foutversterker

Na het dimensioneren van de pass transistor wordt ten slotte de foutversterker ontworpen. In alle deelcircuits van de foutversterker moeten stappen ondernomen worden met als doel de PSRR te verbeteren. Vanaf het hogere MHz frequentiegebied zal de PSRR echter bepaald worden door de lage uitgangsimpedantie van de 1 nF condensator aan de uitgang. Omdat geen gebruik gemaakt wordt van een grote externe condensator van een honderd nF of μF is er naast de tragere hoofdtegenkoppeling nood aan een snelle en sterke interne tegenkoppeling in de foutversterker zelf. Deze moet dan zorgen voor een lagere uitgangsimpedantie in het frequentiegebied lager dan 10 MHz. De lagere uitgangsimpedantie zorgt er dan voor dat veranderingen van de uitgangsspanning snel weggeregeld worden zodat een goed stroomstapantwoord en een hoge PSRR kunnen behaald worden. De interne tegenkoppeling zal ook de stabiliteit van de regelaar verzorgen via poolsplitsing.

Ter verduidelijking wordt in figuur 3.2 de ontwerpsflow van dit werk nog eens grafisch weergegeven.



Figuur 3.2: De gevolgde ontwerpsflow van het volledige systeem

Eerst werd het HSB+EMC blok ontworpen, waarna een eerste dimensionering van de pass transistor gebeurde. Daarna werd de foutversterker ontworpen. Daarbij vormen de parasitaire capaciteiten van de pass transistor zoals eerder vermeld een zeer belangrijk element dat de performantie van de foutversterker sterk beïnvloedt. Om het gezamenlijk optimum te vinden voor alle specificaties wordt dan nog geïtereerd waarbij er kleine veranderingen worden aangebracht bij de pass transistor en de foutversterker. Tot slot wordt er nog wat gesleuteld aan het HSB+EMC blok om de EMC-robuustheid bij te regelen door extra condensators te plaatsen, maar dit vormt geen extra iteratie aangezien dit de spanningsval over het HSB+EMC blok niet verandert.

Hoofdstuk 4

Ontwerp HSB+EMC blok

In dit hoofdstuk wordt eerst de hoogspanningsbescherming besproken. De maatregelen die genomen zijn om het ontwerp EMC-robust te maken steunen deels op die hoogspanningsbescherming. Verder worden ook belangrijke ontwerpskeuzes gemaakt betreffende de foutversterker om het EMC-gedrag te verbeteren. Dit wordt besproken in het hoofdstuk over het finaal ontwerp.

4.1 Transistorkeuzes

Om zo efficiënt mogelijk met chipoppervlakte om te gaan worden verschillende transistoren gebruikt in de verschillende delen van het HSB+EMC blok. Als ingangsspanning kunnen negatieve spanningen tot -14 V en positieve spanningen tot 28 V voorkomen. Vandaar wordt voor het hoogspanningsbeschermingscircuit eerst een transistor geplaatst die negatieve spanningen blokkeert. Daarvoor moet een *phv* transistor gekozen worden die van nature groot is ($L_{\min} = 3,5 \mu\text{m}$) en deze spanningsbelasting aankan. Verdere uitleg over deze transistor en zijn noodzakelijke aanwezigheid voor het EMC-gedrag volgt verderop. In het hoogspanningsbeschermingscircuit mogen dan *phv* ($L_{\min} = 2 \mu\text{m}$) en *nhv* ($L_{\min} = 3 \mu\text{m}$) transistoren worden gebruikt die geen negatieve spanningen kunnen verdragen en van nature iets kleiner zijn.

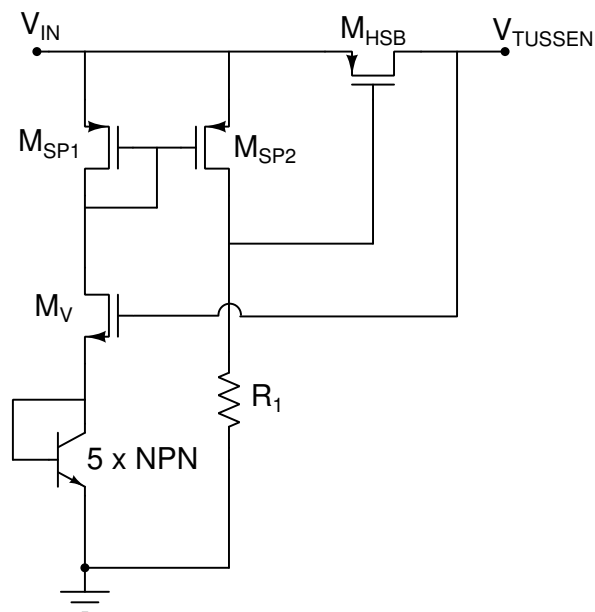
4.2 Hoogspanningsbescherming

4.2.1 Werking

Voor de hoogspanningsbescherming werd dankbaar gebruikt gemaakt van een circuit dat toegeleverd werd door Melexis. Dit circuit wordt getoond in figuur 4.1. De regeling voor hoogspanningsbescherming wordt pas actief wanneer de spanning V_{TUSSEN} de limietwaarde V_{LIM} overschrijdt die bepaald wordt door de NMOS transistor M_V (in volgerconfiguratie) en de als diode geschakelde npn transistoren. Deze waarde wordt geschat als:

$$V_{\text{LIM}} \approx V_{T,M_V} + 5 \cdot V_{T,NPN} \quad (4.1)$$

De werkelijke waarde van de limietspanning zal echter hoger liggen omdat M_V en de npn transistoren meer moeten geleiden dan net op deze limietwaarde om de regelkring een degelijke versterking te geven en dus goed te laten werken. De ondergrens voor V_{LIM} is 5 V zodat de pass transistor in saturatie blijft tijdens normale werking. De bovengrens is 15 V, omwille van de maximale $V_{DS,MAX}$ ($V_{DS_{nmmc},MAX} = 15\text{ V}$) van de transistoren in het circuit na het HSB+EMC blok. Aangezien V_{LIM} afhangt van drempelspanningen zal de werkelijke limietspanning nog wijzigen onder veranderende condities (verschillende temperaturen en procesvariaties). Dit vormt echter geen groot probleem met deze grote toelaatbare marges. De uiteindelijke nominale waarde van V_{LIM} werd via simulatie ingesteld op 6,5 V bij laststroom 10 mA, ingangspanning 10 V en bij 175°C. Dit is mogelijk door het aantal als diode geschakelde npn transistoren te kiezen en transistor M_V correct te dimensioneren.

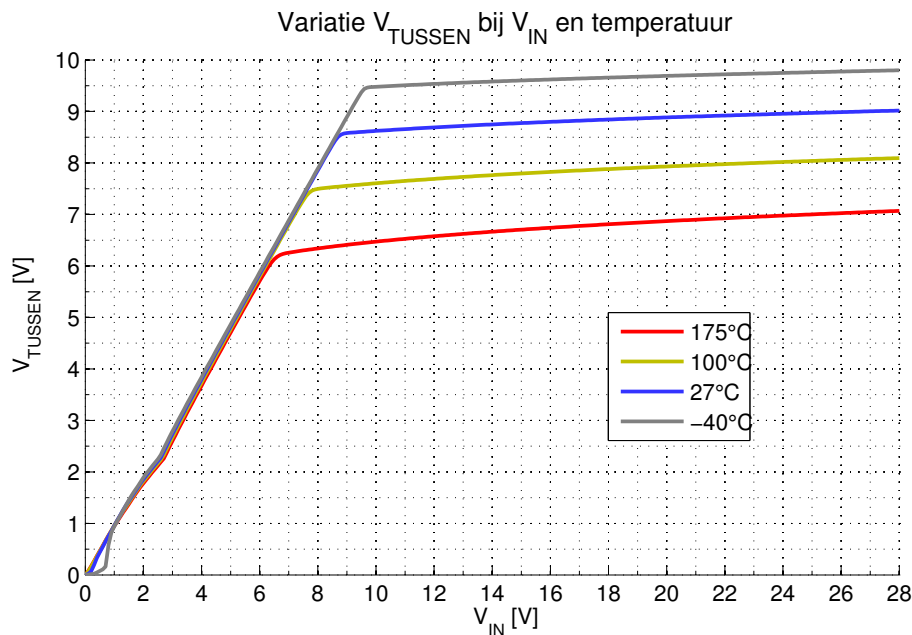


Figuur 4.1: Het circuit voor hoogspanningsbescherming

Het circuit werkt als volgt: wanneer V_{TUSSEN} kleiner is dan V_{LIM} hangt de gate van M_{HSB} (via weerstand R_1) aan de massa omdat de stroomspiegel gevormd door M_{SP1} en M_{SP2} nog geen stroom voert. De transistor M_{HSB} werkt als een regelbare weerstand tussen source en drain waarbij de weerstandswaarde in dit geval minimaal is omdat $V_{GS,HSB}$ maximaal is. De transistor wordt gedimensioneerd met een grote W/L van $10\text{ mm}/2\text{ }\mu\text{m}$ om een zo klein mogelijke spanningsval te krijgen over M_{HSB} wanneer de hoogspanningsbescherming niet actief is. Zoals eerder vermeld is dit een afweging tussen chipoppervlakte en spanningsval over het HSB+EMC blok. Wanneer V_{IN} groter wordt

en V_{TUSSEN} de limietwaarde V_{LIM} overschrijdt, beginnen M_V en de als diode geschakelde npn transistoren te geleiden door de volgerwerking van M_V . De stroom die in deze tak loopt wordt gespiegeld door M_{SP1} en M_{SP2} en de gate van M_{HSB} wordt omhoog getrokken zodat $V_{GS,HSB}$ kleiner wordt en de weerstand tussen drain en source groter wordt. Door deze negatieve terugkoppeling wordt $V_{GS,HSB}$ ingesteld op de spanning die nodig is om V_{TUSSEN} gelijk te maken aan V_{LIM} . De werking is dus gelijkaardig aan een spanningsregelaar met een PMOS pass element, waarbij de regeling pas actief wordt wanneer V_{TUSSEN} de waarde V_{LIM} overschrijdt.

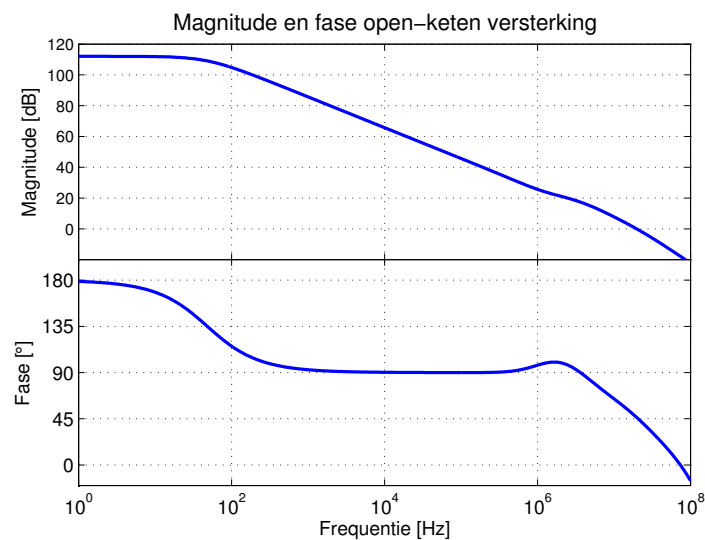
In figuur 4.2 wordt getoond hoe V_{TUSSEN} afhangt van de ingangsspanning V_{IN} bij variërende temperaturen van -40°C tot 175°C . Zoals verwacht stijgt V_{LIM} wanneer de temperatuur daalt. De als diode geschakelde npn transistoren vertonen namelijk een kleinere geleidbaarheid bij lagere temperaturen en zullen pas bij hogere waarden van V_{TUSSEN} beginnen geleiden. Deze simulaties werden uitgevoerd met de spanningsregelaar aan V_{TUSSEN} geschakeld en een laststroom van 10 mA. De invloed van de laststroom blijkt een verwaarloosbaar effect op V_{TUSSEN} te hebben. Het maximale stroomverbruik van het hoogspanningsbeschermingscircuit, wanneer dit actief is, bedraagt $130\ \mu\text{A}$ (bij $V_{IN} = 28\ \text{V}$). Dit wordt volledig bepaald door de weerstand R_1 . De benodigde gate-spanning van M_{HSB} wordt namelijk het grootste bij de maximale ingangsspanning en wordt gegeven door $R_1 \cdot I_{M_{SP2}}$.



Figuur 4.2: Invloed van V_{IN} en temperatuur op V_{TUSSEN}

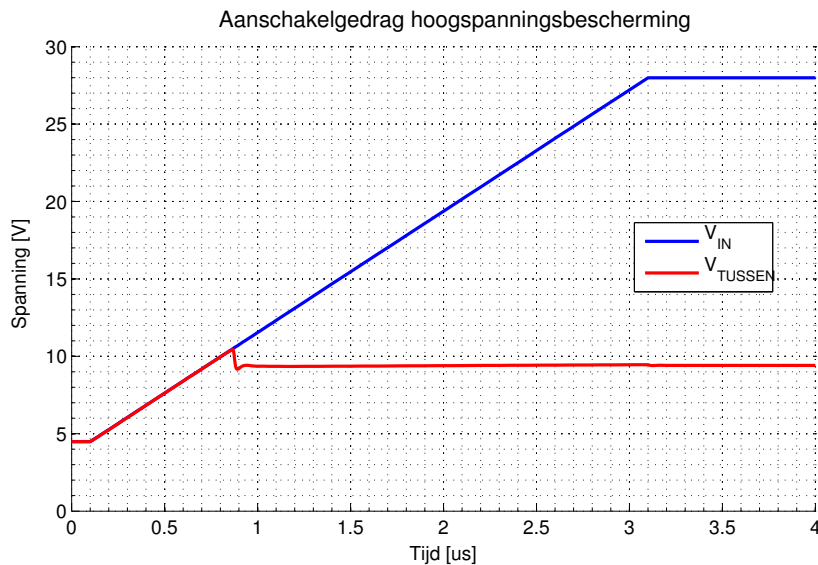
4.2.2 Stabiliteit

De stabiliteit van het hoogspanningsbeschermingscircuit is uiteraard van groot belang om ervoor te zorgen dat geen grote oscillaties optreden bij de aanschakeling ervan. De open-keten versterking wordt groter bij hogere spanningen van V_{TUSSEN} (die nog licht stijgt bij V_{IN}). Het dominante effect dat hiervoor zorgt is dat de geleidbaarheid van de als diode geschakelde npn transistoren exponentieel toeneemt bij een hogere gelijkspanning die erover staat (exponentiële I-V karakteristiek). Voor hogere spanningen van V_{TUSSEN} zullen kleine variaties ervan worden vermenigvuldigd met die grotere geleidbaarheid en de resulterende stroom wordt in R_1 geïnjecteerd. Verder zal de laagfrequente open-keten versterking dalen bij stijgende laststroom. Dit is een gevolg van de dalende DC-versterking ($g_{m,HSB} \cdot r_{o,HSB}$) van M_{HSB} door de lage uitgangsimpedantie $r_{o,HSB}$ bij grotere stromen. Het meest negatieve geval met de kleinste fasemarge doet zich voor bij de hoogst mogelijke ingangsspanning (28 V) en bij de laagst mogelijke laststroom (1 mA) en -40°C . De temperatuur heeft slechts een minimale invloed op de stabiliteit. De magnitude en fase van de open-keten versterking van het hoogspanningsbeschermingscircuit in deze condities wordt getoond in figuur 4.3. De eenheidsversterkingsfrequentie is 19,9 MHz en de fasemarge bedraagt er 46° . Dit circuit is dus zonder meer stabiel bij alle mogelijke condities. Er kan eventueel poolsplitsing toegepast worden door een condensator te plaatsen tussen de gate en drain van M_{HSB} (want de dominante pool bevindt zich aan de gate van M_{HSB} en de parasitaire polen bij de stroomspiegel en aan de drain van M_{HSB}), maar dit zou een grote condensator moeten zijn om enig effect te hebben door de grote dimensies en dus grote parasitaire capaciteiten van M_{HSB} . Om efficiënt met de chipoppervlakte om te gaan en omdat de stabiliteit goed genoeg bevonden werd, is ervoor gekozen om geen extra frequentiecompensatie toe te passen.



Figuur 4.3: Magnitude en fase van open-keten versterking in meest negatieve condities

Tenslotte wordt in figuur 4.4 getoond hoe het hoogspanningsbeschermingscircuit zich gedraagt in het tijdsdomein bij het aanschakelen. Bij deze simulatie met dezelfde meest negatieve condities als hierboven stijgt V_{IN} in $3 \mu\text{s}$ van 0 V naar 28 V . Er zijn zoals verwacht op basis van de analyse van de open-keten versterking geen grote oscillaties te zien en er wordt na een overshoot van ongeveer 1 V snel gereageerd om V_{TUSSEN} vast te klemmen op de limietwaarde V_{LIM} .



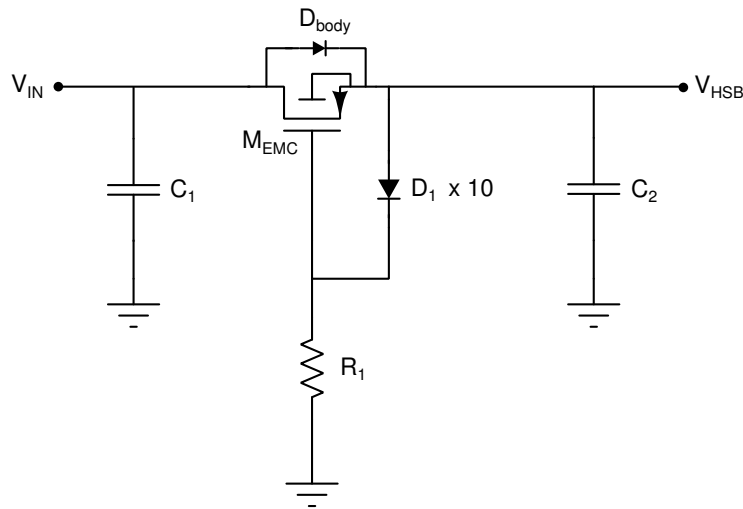
Figuur 4.4: Aanschakelgedrag van hoogspanningsbescherming in tijdsdomein

4.3 EMC-robuustheid

In het voorgaande werd, om zaken overzichtelijk te houden, V_{IN} rechtstreeks aan het hoogspanningsbeschermingscircuit verbonden. In het werkelijke ontwerp zit nog een PMOS transistor tussen V_{IN} en de spanning voor het hoogspanningsbeschermingscircuit. Deze spanning wordt nu verder genoteerd als V_{HSB} . Het gedeelte uit het HSB+EMC blok dat EMC-robustheid bevordert wordt weergegeven in figuur 4.5. De PMOS transistor M_{EMC} is zo geschakeld dat deze werkt als een diode maar met een lagere spanningsval erover dan wat te bereiken is met eender welke XH018 diode met dezelfde grote dimensies. In de volgende verklarende analyse mogen diodes D_1 verwaarloosd worden en mag aangenomen worden dat de gate van M_{EMC} aan de massa hangt.

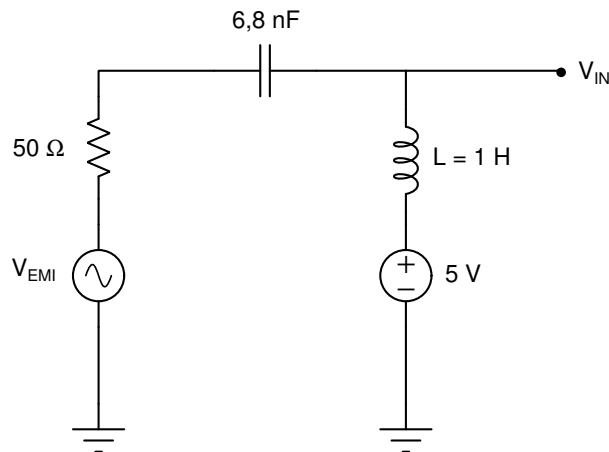
Als V_{IN} negatief is, zal de body diode van M_{EMC} niet geleiden. Wanneer V_{IN} groter wordt dan ongeveer 1 V begint deze body diode te geleiden waardoor $V_{GS,M_{EMC}}$ groter wordt. Gezien de grote dimensies van M_{EMC} begint deze transistor al snel te geleiden en wordt een kleine resistiviteit tussen drain en source gezien, namelijk $R_{DS,AAN}$. De spanningsval over M_{EMC} zakt dan naar $R_{DS,AAN} \cdot I_L$, waarbij I_L de stroom voorstelt die erdoor

loopt. Aangezien deingangsspanning korstondig 28 V kan worden, moet de gate van M_{EMC} beschermd worden omdat $V_{GS,MAX}$ van de *phhv* transistor 18 V bedraagt. Deze bescherming wordt gevormd door diodes D_1 en weerstand R_1 . Bij grote spanningen V_{HSB} beginnen diodes D_1 te geleiden en klemt dit de spanning $V_{GS,M_{EMC}}$ vast op een waarde die in te stellen is door het aantal diodes. Hier werd gekozen voor 10 diodes, waardoor deze bescherming $V_{GS,M_{EMC}}$ niet verlaagt bij lageingangsspanningen. Dit zou anders de spanningsval over het HSB+EMC blok verhogen waardoor de pass transistor van de spanningsregelaar in saturatie zou komen voor $V_{IN} = 4,5$ V. Idealiter zou een Zener diode kunnen gebruikt worden hiervoor, maar die zijn niet beschikbaar in de gebruikte XH018 technologie. De kanaalbreedte en kanaallengte van de *phhv* transistor M_{EMC} bedragen 16 μm en 3,5 μm .



Figuur 4.5: EMC-robustheidsgedeelte van het HSB+EMC blok

Om te kunnen zien hoe het ontwerp EMC-robuster kan gemaakt worden, moet eerst gekeken worden naar de testopstelling die gebruikt wordt om de invloed van grote spanningsfluctuaties aan de ingang te meten. Er wordt een methode gebruikt onder de naam Direct Power Injection (DPI). Hierbij wordt aangenomen dat elektromagnetische golven conductief via de pinnen van de chip ingekoppeld worden. De enige pin bij de spanningsregelaar is de ingangspin (waar deingangsspanning V_{IN} toegeleverd wordt). Deze hoogfrequente golven worden gemodelleerd door een RF vermogenbron die een sinusspanning genereert en een bronimpedantie van $50\ \Omega$ heeft. In figuur 4.6 wordt de gebruikte testbank voor de meetopstelling weergegeven. Enerzijds is er de normale DC voeding die via een spoel met grote inductantie met V_{IN} verbonden wordt. Anderzijds wordt nu ook het hoogfrequent RF vermogen via een grote condensator (typisch 6,8 nF) doorgekoppeld naar V_{IN} . De grote inductantie is nodig om het hoogfrequent RF vermogen in het IC te laten lopen en geen ander laagimpedant pad te voorzien waar het vermogen in zou kunnen vloeien.



Figuur 4.6: Testbank voor de meetopstelling met het ingekoppeld RF vermogen

De functionaliteit van de spanningsregelaar wordt dan getest terwijl het RF vermogen geïnjecteerd wordt. De vermogens waarbij getest moet worden lopen op tot 30 dBm, waarbij 0 dBm overeenstemt met 1 mW. Om deze vermogens om te zetten tot spanningen wordt aangenomen dat de last 50Ω bedraagt zodat er matching tussen de bron en last is en het volledige voorwaartse vermogen geabsorbeerd wordt. In realiteit zal het geabsorbeerde vermogen uiteraard lager zijn. De open-keten spanning van de gebruikte spanningsbron in de testopstelling is dan gerelateerd aan dat RF vermogen als:

$$V_{EMI} = \sqrt{8 \cdot P_{RF} \cdot 50 \Omega} \quad (4.2)$$

Een aantal interessante waarden die het RF vermogen relateren aan open-keten spanningen worden weergegeven in tabel 4.1. De spanning V_{EMI} is daarbij slechts de amplitude. De piek-tot-piek spanning $V_{EMI,p-p}$ bedraagt 2 keer V_{EMI} . Vanuit Melexis werd gevraagd om te trachten een geldige uitgangsspanning te krijgen tussen 3,2 V en 3,4 V bij geïnjecteerde RF vermogens tot 30 dBm (of $40 V_{p-p}$ open-keten sinusspanning) en dit bij frequenties tussen 100 MHz en 1 GHz.

Vermogen	Vermogen in dBm	V_{EMI}
1 mW	0 dBm	0,632 V
10 mW	10 dBm	2 V
100 mW	20 dBm	6,32 V
1 W	30 dBm	20 V

Tabel 4.1: Interessante RF vermogen waardes en corresponderende open-keten spanningen

Om het ontwerp meer EMC-robust te maken, kunnen een aantal zaken ondernomen worden. Eerst en vooral kan een condensator aan de ingang geplaatst worden. Zo kan gebruik gemaakt worden van de bronweerstand van $50\ \Omega$ om een spanningsdeling te bekomen om zodoende de grote amplitude van de sinus al enigzins te verkleinen. Aan de ene kant moet deze condensator zo groot mogelijk gemaakt worden, maar er moet ook gelet worden op de beperking dat het gedrag van een grote condensator voor hoge frequenties overgaat naar het gedrag van een spoel. Bovendien moet de chipoppervlakte beperkt gehouden worden. Er werd gekozen om de condensator (C_1 in figuur 4.5) een waarde van $50\ \text{pF}$ te geven. De spanningsdeling bij $100\ \text{MHz}$ is dan:

$$\frac{V_{IN}}{V_{EMI}} = \frac{\frac{1}{2\pi \cdot 100\ \text{MHz} \cdot 50\ \text{pF}}}{\sqrt{(50\ \Omega)^2 + \left(\frac{1}{2\pi \cdot 100\ \text{MHz} \cdot 50\ \text{pF}}\right)^2}} = 0,54 \quad (4.3)$$

Dit betekent dat de sinus van $40\ V_{\text{p-p}}$ al gereduceerd wordt tot een sinus van $22,4\ V_{\text{p-p}}$. Dit is de bovengrens voor de spanningsdeling (meest negatieve geval) aangezien het hoogspanningsbeschermingscircuit kan gezien worden als parallelle belasting aan deze condensator. Daardoor zal het echte resultaat kleiner zijn dan $0,54$.

Verder kan de negatieve fase van de grote sinus geattenuëerd worden door nog een condensator te plaatsen na de (in essentie als gelijkrichter werkende) transistor M_{EMC} . Op die manier wordt de gelijkrichting meer afgevlakt doordat in de positieve fase lading opgeslagen wordt en in de negatieve fase deze lading terug vrijgegeven wordt zodat (een deel van) de gevraagde stroom toch kan worden geleverd tijdens deze negatieve fase. Deze condensator (C_2 in figuur 4.5) wordt ingesteld op $100\ \text{pF}$. Het laatste effect dat de EMC-robustheid ten goede komt is dat de bovenkant van de sinus blijkt geattenuëerd te worden door de hoogspanningsbescherming. Door de combinatie van deze effecten wordt de grote sinus V_{EMI} al stevig onderdrukt zodat de voedingsspanning V_{TUSSEN} van de eigenlijke spanningsregelaar veel minder varieert dan de ingangsspanning V_{IN} . Verdere ingrepen op de EMC-robustheid moeten gebeuren in de foutversterker. Dit wordt besproken in het hoofdstuk over het finaal ontwerp. Daar worden ook de gezamenlijke resultaten getoond van alle ingrepen die de EMC-robustheid bevorderen.

Dit HSB+EMC blok neemt het grootste deel van de chipoppervlakte van het volledige ontwerp in. De transistoren M_{EMC} en M_{HSB} nemen respectievelijk $0,183\ \text{mm}^2$ en $0,066\ \text{mm}^2$ in en de $100\ \text{pF}$ en $50\ \text{pF}$ condensatoren ter verbetering van de EMC-robustheid zijn $0,146\ \text{mm}^2$ groot. De chipoppervlakte van het HSB+EMC blok is dus een kleine $0,4\ \text{mm}^2$, wat meteen dicht bij de maximaal toegestane chipoppervlakte van $0,5\ \text{mm}^2$ komt. Dit is de hoge kost die moet betaald worden voor de bescherming tegen de hoge spanningen die kunnen optreden en het verzekeren van de EMC-robustheid. In het hoofdstuk over het finaal ontwerp wordt echter duidelijk dat deze oppervlakte wel degelijk nuttig gebruikt wordt.

Hoofdstuk 5

PSRR

Aangezien het HSB+EMC blok pas actief wordt bij hoge spanningen en omdat de condensatoren die dienen om de EMC-robustheid te bevorderen pas voor attenuatie zorgen bij frequenties hoger dan 10 MHz, wordt in het volgende de invloed van dit blok verwaarloosd. Om deze redenen wordt bij de berekeningen en de analyse van de PSRR de spanning aan de drain van de pass transistor en als voeding van de foutversterker meteen genoteerd als V_{IN} in plaats van V_{TUSSEN} . In DC is de spanningsval over het HSB+EMC blok echter maximaal 0,3 V. De spanning V_{TUSSEN} in het normale werkingsgebied ($4,5\text{ V} < V_{IN} < 5,5\text{ V}$) wordt dan 4,2 V (hoogste temperatuur en grootste laststroom) tot 5,5 V (laagste temperatuur en kleinste laststroom). Het is dan ook bij deze spanningen dat de simulaties uitgevoerd werden.

5.1 Verschillende doorkoppeleffecten

De PSRR (Power Supply Rejection Ratio) is een maat waarmee uitgedrukt wordt hoe goed kleinsignaalruis op de ingangsspanning onderdrukt wordt in de uitgangsspanning. Het is een uiterst belangrijke specificatie aangezien het doel van een spanningsregelaar is om een constante spanning te leveren aan de uitgang. Deze onderdrukking van de ruis op de ingangsspanning is frequentieafhankelijk en de PSRR wordt dan ook op een dubbel logaritmische schaal geplot in functie van frequentie. De wiskundige uitdrukking voor de PSRR in dB is deze:

$$PSRR [dB] = 20 \log\left(\frac{\Delta V_{OUT}}{\Delta V_{IN}}\right) \quad (5.1)$$

Het is belangrijk om te weten dat in formule (5.1) kleine signalen worden gebruikt. Dit wil zeggen dat alle kleinsignaalparameters van transistoren (zoals tranconducantie) constant worden gehouden. Bij grote signalen, zoals de spanning V_{EMI} om de EMC-robustheid te testen, zullen deze variëren en is er doorgaans een grotere doorkoppeling van V_{IN} naar V_{UIT} .

Om de PSRR van de regelaar te kunnen verbeteren, moet eerst een analyse gemaakt worden van hoe de ruis aan de ingang doorgeloopt wordt naar de uitgang. Er zijn drie belangrijke manieren waarop dit gebeurt. De eerste manier is via doorkoppeling van V_{IN} naar V_{BGAP} . De tweede manier is via rechtstreekse doorkoppeling, gemodelleerd door een spanningsdeling van V_{IN} naar V_{UIT} . De derde manier treedt op door doorkoppeling van V_{IN} naar de gate van de pass transistor, die op zijn beurt als spanningsgestuurde stroombron V_{UIT} verandert. Hierna worden elk van deze doorkoppeleffecten uitvoerig besproken.

5.2 Doorkoppeling naar VBGAP

Zoals eerder aangegeven in hoofdstuk 2 wordt de bijdrage van V_{BGAP} aan V_{UIT} gegeven door:

$$V_{UIT} = \frac{V_{BGAP}}{\beta} \frac{KW}{KW + 1} \quad (5.2)$$

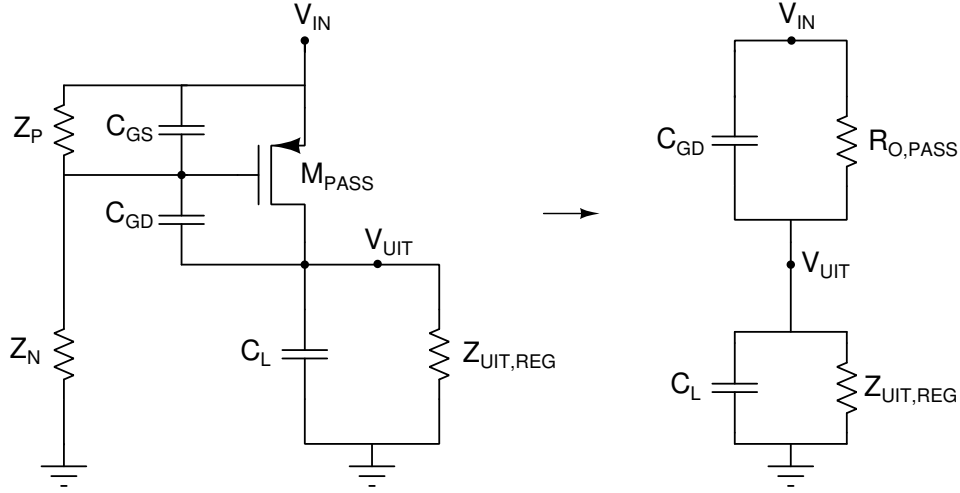
met β de terugkoppelfactor bepaald door de terugkoppelweerstand en KW de kringwinst van de spanningsregelaar.

Voor frequenties waar de spanningsregelaar actief is ($KW > 1$) worden variaties op de bandgap referentiespanning rechtstreeks teruggevonden (geschaald met factor β) aan de uitgang. Omdat het bandgap circuit niet in dit werk ontworpen wordt, kan niets gedaan worden op circuitniveau, maar op systeemniveau kan de voeding van het bandgap circuit zo ruisvrij mogelijk gemaakt worden. Zoals eerder vermeld wordt de geregelde uitgangsspanning V_{UIT} (waarin ruis al onderdrukt is) dus aangewend als voeding voor het bandgap circuit. Door deze keuze is er nood aan een opstartcircuit voor de regelaar.

5.3 Rechtstreekse doorkoppeling

De rechtstreekse doorkoppeling van kleinsignaal spanningsvariaties van V_{IN} naar V_{UIT} wordt getoond in figuur 5.1. Er wordt een kleinsignaal vervangschema getekend voor de pass transistor M_{PASS} waarbij de kleinsignaal stroombron (met transconductantie $g_{m,PASS}$) genegeerd werd. Het effect daarvan wordt besproken in het deel over de doorkoppeling naar de gate van de pass transistor. Daar wordt tevens uitgelegd dat de spanning aan de gate sterk gecorreleerd kan worden aan V_{IN} voor (bijna) alle interessante frequenties, wat de PSRR ten goede zal komen. Dit gebeurt door C_{GS} groter te maken dan C_{GD} en het slim kiezen van impedanties Z_P en Z_N en een extra compensatiecircuit. Daardoor kan V_{IN} voor de analyse van het rechtstreekse doorkoppeleffect verbonden worden aan de gate van de pass transistor en zo wordt het kleinsignaal vervangschema rechts in figuur 5.1 bekomen.

Er treedt een spanningsdeling op van V_{IN} naar V_{UIT} met een impedantie tussen V_{IN} en V_{UIT} gevormd door de parallelschakeling van C_{GD} en de kleinsignaal uitgangsimpedantie $R_{O,PASS}$ van M_{PASS} . Tussen V_{UIT} en de massa hangt een impedantie gevormd door de parallelschakeling van de lastcapaciteit (1 nF) en de geregelde uitgangsimpedantie $Z_{UIT,REG}$ (door de werkende regelkring). De terugkoppelweerstand van de regelaar



Figuur 5.1: De modellering om het rechtstreekse doorkoppeleffect in kaart te brengen

worden hierbij verwaarloosd omdat ze voor alle frequenties kleiner zijn dan ofwel de geregelde uitgangsimpedantie ofwel de impedantie van C_L . Belangrijk om te vermelden is dat bij de analyse voor PSRR de spanning V_{IN} uiteraard geen kleinsignaalmasa voorstelt, waardoor $R_{O,PASS}$ niet opgenomen is in $Z_{UIT,REG}$. $R_{O,PASS}$ wordt wel opgenomen in $Z_{UIT,REG}$ bij de analyse voor de stabiliteit en het stroomstapantwoord, omdat V_{IN} dan geen kleinsignaalspanning voorstelt en wel als kleinsignaalmasa gezien wordt. De spanningsdeling van V_{IN} naar V_{UIT} wordt gegeven door:

$$\frac{V_{UIT}}{V_{IN}} = \left[\frac{Z_{UIT,REG}}{Z_{UIT,REG} + R_{O,PASS}} \right] \cdot \left[\frac{1 + s \cdot R_{O,PASS} \cdot C_{GD}}{1 + s \cdot (R_{O,PASS} \parallel Z_{UIT,REG}) \cdot (C_{GD} + C_L)} \right] \quad (5.3)$$

Voor lage frequenties wordt $Z_{UIT,REG}$ gegeven door:

$$Z_{UIT,REG} = \frac{1}{\beta_{int} \cdot g_{m,PASS}} \quad (5.4)$$

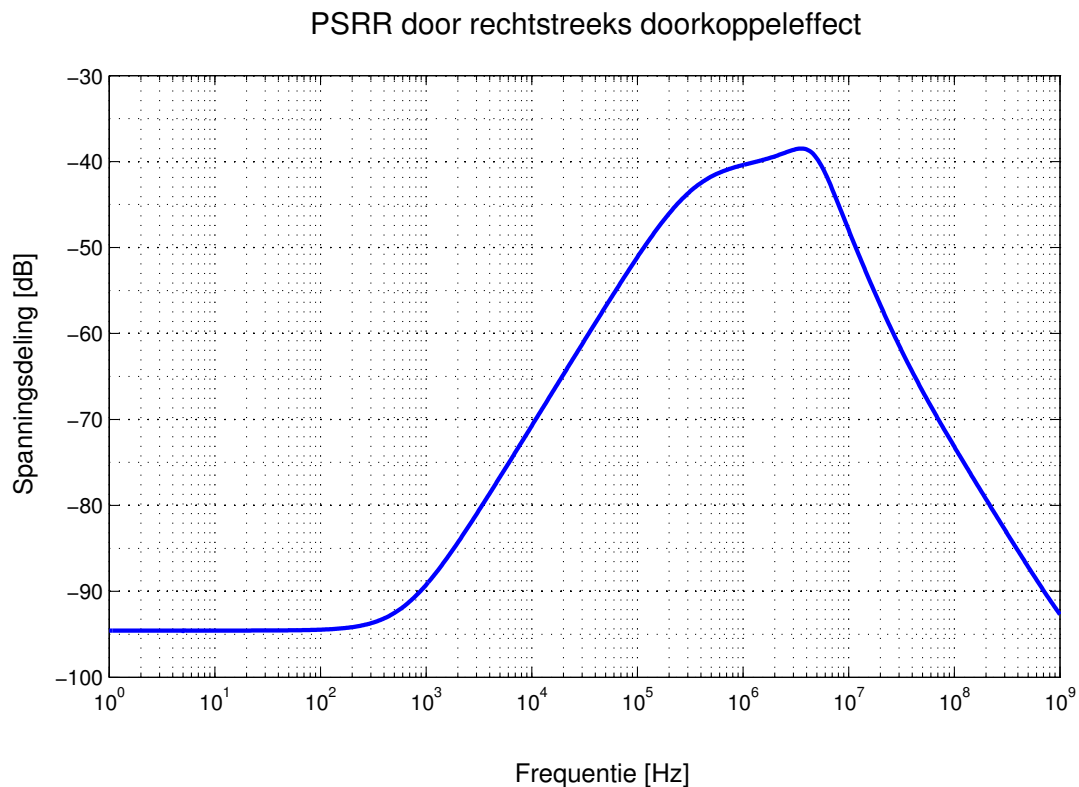
waarbij $g_{m,PASS}$ de transconductantie van de pass transistor voorstelt β_{int} de interne terugkoppelfactor (constant bij lage frequenties) van V_{UIT} naar V_G (de gate van pass transistor) is. Een sterke interne terugkoppeling zal dus zorgen voor een lage uitgangsimpedantie. Deze conclusie is geldig voor alle frequenties. Dit pleit meteen voor een hoge eenheidsversterkingsfrequentie van de interne terugkoppeling. Voor lage frequenties is de eerste factor in het rechterlid van (5.3) dus frequentie-onafhankelijk en wordt de laagfrequentlimiet van de spanningsdeling bekomen:

$$\frac{V_{UIT}}{V_{IN}} \approx \frac{1}{R_{O,PASS} \cdot \beta_{int} \cdot g_{m,PASS}} \quad (5.5)$$

De hoogfrequentlimiet voor het rechtstreekse doorkoppeleffect kan via inspectie van figuur 5.1 of door het evalueren van uitdrukking (5.3) meteen afgeleid worden, waarbij $Z_{UIT,REG}$ gedomineerd wordt door C_L :

$$\frac{V_{UIT}}{V_{IN}} = \frac{C_{GD}}{C_{GD} + C_L} \quad (5.6)$$

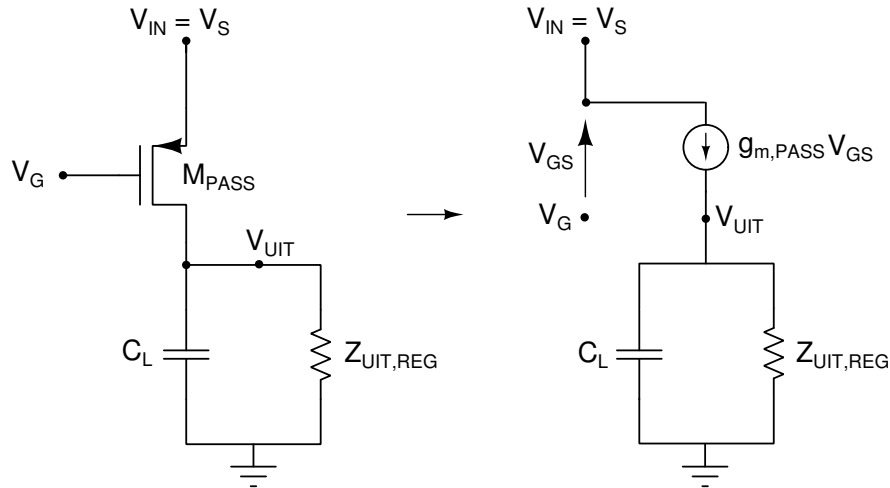
In het overgangsgebied wordt de spanningsdeling bepaald door de specifieke waarden van Z_{UIT} , $R_{O,PASS}$, C_{GD} en door de kringwinst van de interne terugkoppeling. In figuur 5.2 wordt dit rechtstreekse doorkoppeleffect geplot in dB. Hiervoor werd het finale ontwerp gebruikt en werd een AC-simulatie gedaan om $Z_{UIT,REG}$ te bekomen (waarin C_L reeds in opgenomen is). Deze data werd dan in vergelijking (5.3) ingevuld. De slechtste waarde voor de PSRR wordt hier gehaald bij 3,7 MHz en bedraagt -38,5 dB. Hierbij werd gesimuleerd bij $V_{IN} = 5 \text{ V}$, $I_L = 10 \text{ mA}$ en 175°C . Deze maximale stroom en temperatuur vormen de meest negatieve condities voor de hoogfrequente PSRR omdat $R_{O,PASS}$ en $g_{m,PASS}$ dan het kleinste worden en later zal blijken dat dit $Z_{UIT,REG}$ negatief beïnvloedt.



Figuur 5.2: Modellerings van het rechtstreekse doorkoppeleffect door spanningsdeling

5.4 Doorkoppeling naar gate pass transistor

In dit deel wordt het effect van de doorkoppeling van V_{IN} naar de gate van de pass transistor besproken. Deze doorkoppeling blijkt het dominante effect te zijn dat de PSRR bepaalt. Wat er precies gebeurt wordt met behulp van figuur 5.3 uitgelegd.



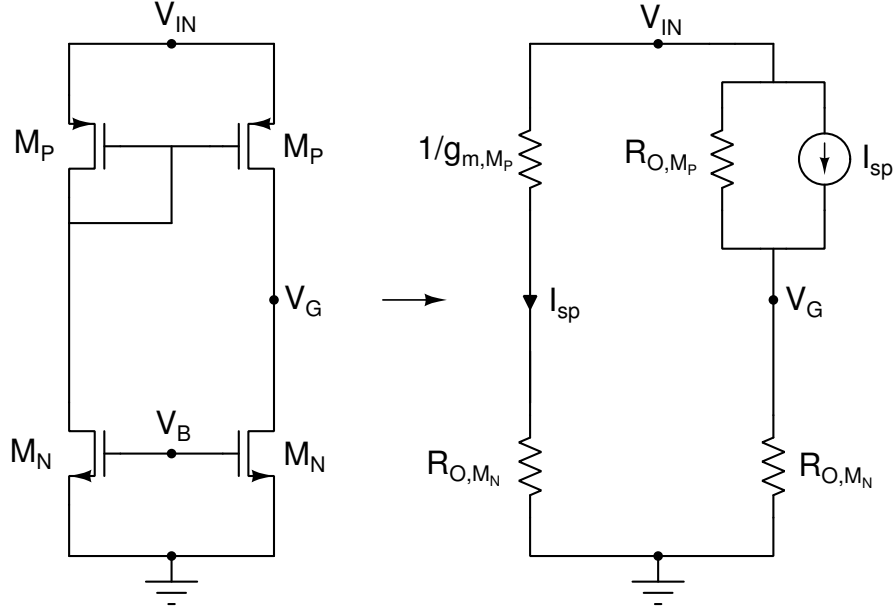
Figuur 5.3: Modelleringsdiagram van doorkoppeleffect via de gate van de pass transistor

De basis van dit principe ligt bij het feit dat transistor M_{PASS} zich gedraagt als een spanningsgestuurde stroombron, waarbij de stuurspanning $V_{GS,PASS}$ verandert bij variaties van V_{IN} . Dit resulteert dan in een stroom die geïnjecteerd wordt in $Z_{UIT,REG}$. De spanningsverandering aan de uitgang wordt dan gegeven door:

$$\Delta V_{UIT} = g_{m,PASS} \cdot \Delta V_{GS,PASS} \cdot (Z_{UIT,REG} \parallel \frac{1}{sC_L}) \quad (5.7)$$

Net als bij het rechtstreeks doorkoppeleffect blijkt dat het minimaliseren van de geregelde uitgangsimpedantie $Z_{UIT,REG}$ voor de belangrijkste frequenties de PSRR zal verbeteren. Een andere ingreep om de PSRR te verbeteren is het verlagen van de transconductantie $g_{m,PASS}$. Deze transconductantie hangt echter af van de stroom die er door loopt en de dimensionering van M_{PASS} . Aangezien beide vastliggen door respectievelijk de maximale laststroom en de keuze van $V_{DSAT,PASS}$ kan $g_{m,PASS}$ niet veranderd worden. Vergelijking (5.7) leert dat een laatste mogelijkheid om de PSRR te verbeteren gevonden wordt door te proberen $V_{GS,PASS}$ constant te houden bij variaties van V_{IN} . Er moet dus geprobeerd worden om de spanning aan de gate van M_{PASS} zo goed mogelijk te laten correleren met V_{IN} zodat slechts een kleine stroom gegenereerd wordt die V_{UIT} verandert.

In [5] wordt aangetoond hoe deze correlatie van de gate met de source (V_{IN}) van de pass transistor kan bekomen worden. Als (zoals in dit ontwerp) een PMOS pass transistor gebruikt wordt, staat het gebruik van PMOS stroomspiegels hierbij centraal. Aan de hand van figuur 5.4 wordt het principe dat erachter schuilt uitgelegd voor de laagfrequentlimiet.



Figuur 5.4: PMOS stroomspiegel en laagfrequent kleinsignaal vervangschema

Hierbij wordt een stroom gespiegeld van de linkse naar de rechtse tak. De rechtse tak is verbonden met de gate van de pass transistor. De twee gelijke NMOS transistoren M_N werken als stroombronnen, met instelspanning V_B aan hun gate. In het kleinsignaal vervangschema (rechts) worden ze vervangen door hun grote uitgangsimpedantie R_{O,M_N} . De PMOS spiegels gevormd door de gelijke transistoren M_P en hun laagfrequent kleinsignaal vervangschema wordt gegeven door $1/g_{m,M_P}$ voor de linkse transistor en door een stroombron I_{sp} en uitgangsimpedantie R_{O,M_P} voor de rechtse transistor. De stroom I_{sp} wordt gespiegeld van de linkse naar de rechtse tak. Omdat de uitgangsimpedantie R_{O,M_N} van de stroombron veel groter is dan de inverse van de transconductantie g_{m,M_P} geldt:

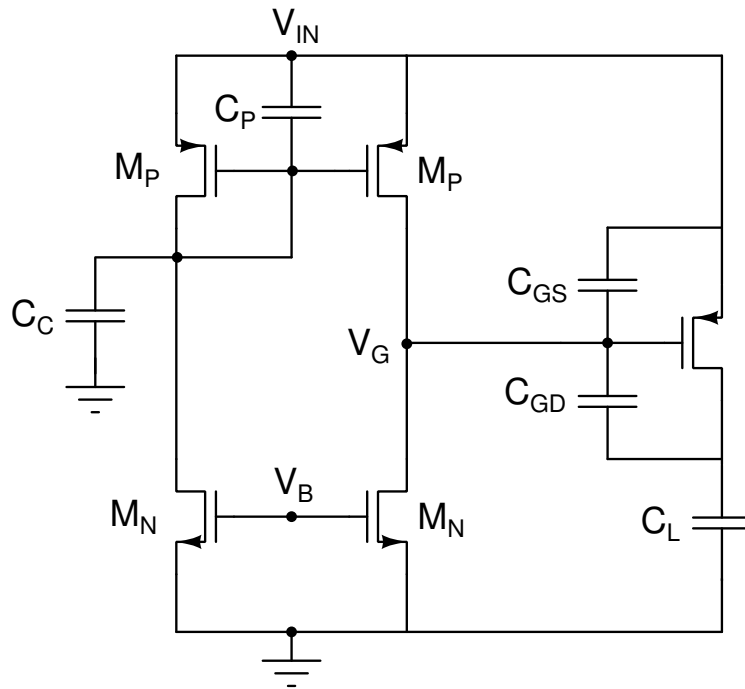
$$I_{sp} = \frac{V_{IN}}{R_{O,M_N} + \frac{1}{g_{m,M_P}}} \approx \frac{V_{IN}}{R_{O,M_N}} \quad (5.8)$$

In de rechtse tak wordt via superpositie de spanning V_G aan de gate van de pass transistor dan berekend als:

$$V_G \approx V_{IN} \cdot \left(\frac{R_{O,M_N}}{R_{O,M_N} + R_{O,M_P}} \right) + \frac{V_{IN}}{R_{O,M_N}} \cdot (R_{O,M_N} \parallel R_{O,M_P}) = V_{IN} \quad (5.9)$$

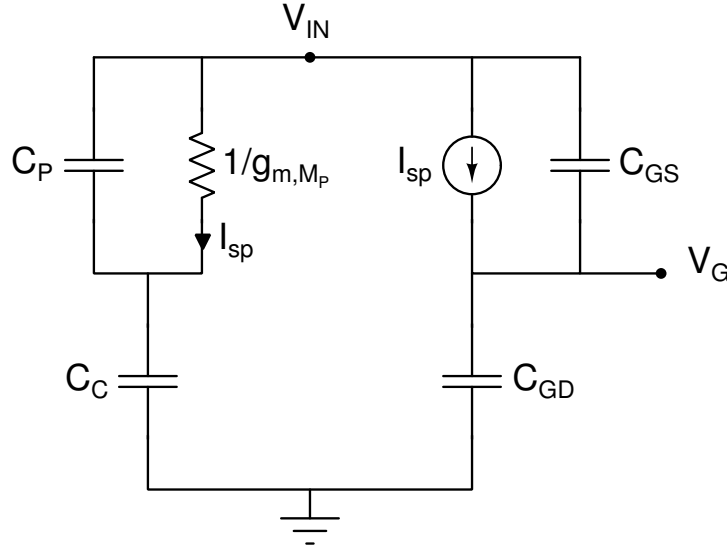
Er blijkt dus dat bij het gebruik van een PMOS stroomspiegel de kleinsignaal spanningsvariatië van V_{IN} in goede benadering ongeattenuëerd tot de gate van de pass transistor

doorgekoppeld worden. Hierdoor wordt $\Delta V_{GS} = 0$ in vergelijking (5.7) met als gevolg dat ook $\Delta V_{UIT} = 0$ wordt. Dit komt de laagfrequente PSRR uiteraard ten goede. Dit principe kan ook gebruikt worden om ook bij hogere frequenties de correlatie tussen V_G en V_{IN} te bevorderen. In figuur 5.5 wordt een PMOS stroomspiegel getoond die verbonden is aan de gate van de pass transistor. De belangrijke circuitelementen voor hoge frequenties worden expliciet weergegeven, samen met de geplaatste compensatiecondensator C_C .



Figuur 5.5: PMOS stroomspiegel aan gate pass transistor met belangrijkste circuitelementen voor hoge frequenties en compensatiecondensator C_C

Om het kleinsignaal vervangschema van dit netwerk te tekenen voor hoge frequenties, kunnen eerst een aantal vereenvoudigingen doorgevoerd worden. Eerst en vooral kan C_{GD} rechtstreeks tussen de gate van de pass transistor en de massa verbonden worden als we kijken naar de bijdrage van V_{IN} naar V_G . Dit komt doordat C_{GD} in serie verbonden is met de veel grotere condensator C_L . Verder kan in de linkse tak van de stroomspiegel de uitgangsimpedantie R_{O,M_N} verwaarloosd worden ten opzichte van de compensatiecondensator C_C . Hetzelfde geldt voor de uitgangsimpedantie R_{O,M_N} in de rechtse tak die verwaarloosbaar is ten opzichte van C_{GD} . Tenslotte wordt ook uitgangsimpedantie R_{O,M_P} verwaarloosd worden ten opzichte van C_{GS} . Deze vereenvoudigingen leiden tot het hoogfrequent kleinsignaal vervangschema in figuur 5.6.



Figuur 5.6: Vereenvoudigd hoogfrequent kleinsignaal vervangschema voor PMOS stroomspiegel met compensatiecapaciteit C_C

De analogie van dit kleinsignaal vervangschema met het schema rechts in figuur 5.4 is treffend. De gespiegelde stroom I_{sp} wordt nu gegeven door:

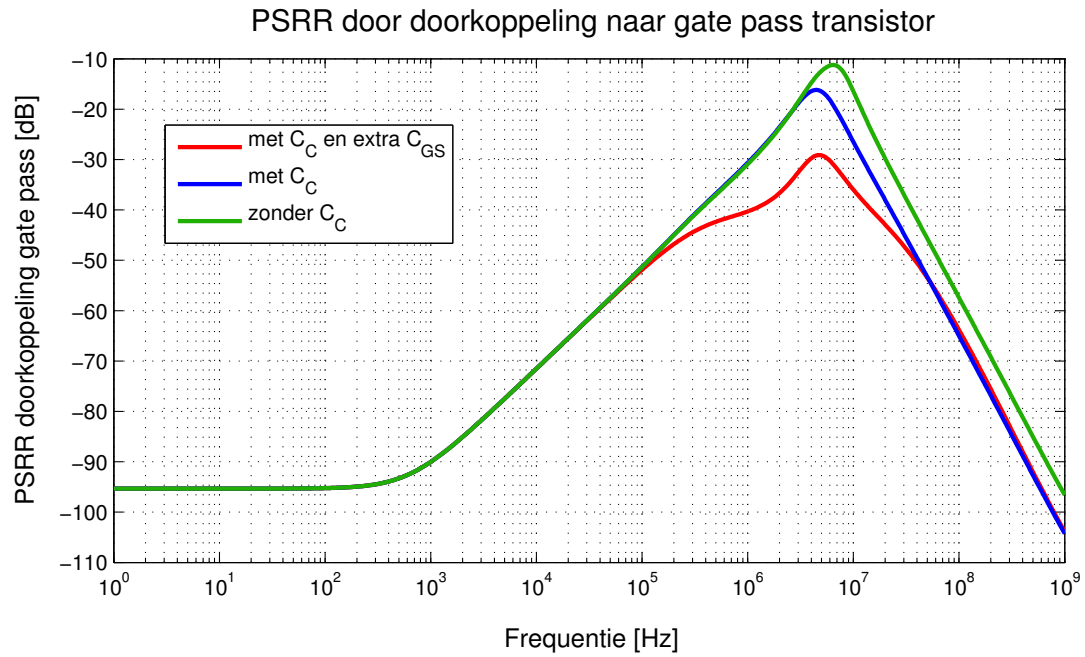
$$I_{sp} = V_{IN} \cdot \frac{s \cdot C_C}{1 + s \cdot \frac{(C_C + C_P)}{g_{m,M_P}}} \quad (5.10)$$

Om een goede compensatie te verkrijgen, moet compensatiecapaciteit C_C gelijkgesteld worden aan C_{GD} . De transferfunctie van V_{IN} naar V_G is dan:

$$\frac{V_G}{V_{IN}} = \frac{1 + s \cdot \left(\frac{C_P + C_C}{gm}\right) \cdot \left(\frac{C_{GS}}{C_{GS} + C_{GD}}\right)}{1 + s \cdot \left(\frac{C_P + C_C}{gm}\right)} \quad (5.11)$$

Door de factor $\frac{C_{GS}}{C_{GS} + C_{GD}}$ groter te maken kan de compensatie nagenoeg ideaal gemaakt worden, waarbij de pool en de nul van transferfunctie (5.11) gelijk zijn aan elkaar. In het finaal ontwerp wordt inderdaad een condensator van 6,7 pF in parallel met C_{GS} geplaatst. Dit zal de PSRR verbeteren, maar heeft een negatief gevolg voor het stroomstapantwoord. Meer uitleg daarover volgt in het hoofdstuk over het finaal ontwerp. In figuur 5.7 worden drie plots getoond, waarbij de PSRR via doorkoppeling naar de gate wordt gemodelleerd (zoals hierboven beschreven) met behulp van vergelijking (5.7). Hierbij werden $V_{GS,PASS}$ en $Z_{UIT,REG}$ bekomen via AC-simulaties van het finale ontwerp. Ook deze simulaties werden uitgevoerd bij $V_{IN} = 5$ V en de meest negatieve condities voor stroom (10 mA) en temperatuur (175 °C). In het eerste plot met de beste PSRR worden zowel compensatiecondensator C_C ($= C_{GD} = 1,52$ pF) als de extra 6,7 pF in parallel met

C_{GS} gebruikt. De PSRR bedraagt op het slechtste punt dan $-29,1$ dB. In het tweede plot wordt deze laatste condensator weggelaten en hierdoor wordt de PSRR op het slechtste punt $-16,2$ dB. In het derde plot worden beide hoogfrequente compensatiecondensators weggelaten en zakt de PSRR op het slechtste punt tot $-11,2$ dB. Hieruit blijkt duidelijk dat deze compensaties de uiteindelijke behaalde PSRR veel zullen verbeteren.

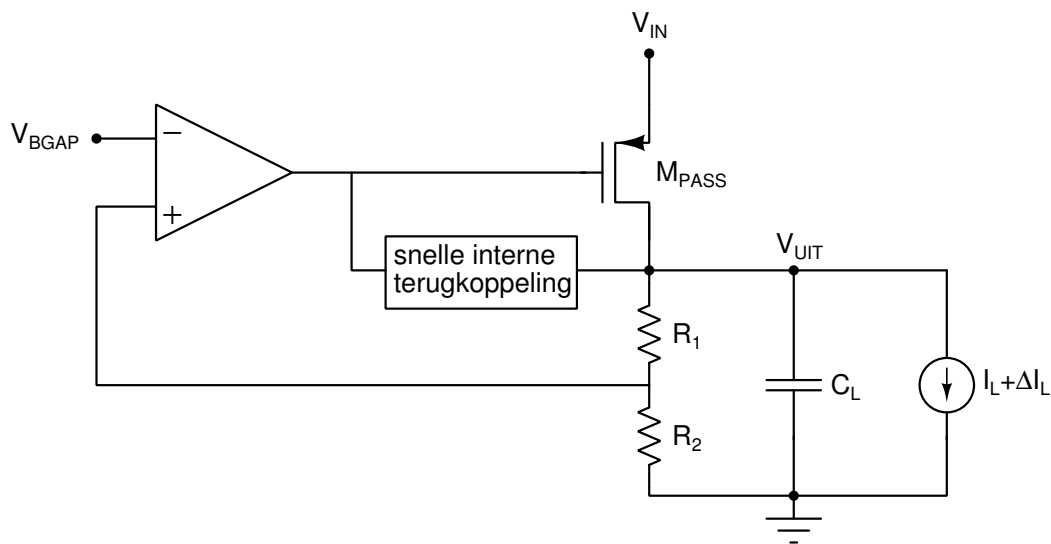


Figuur 5.7: Modelling van PSRR door doorkoppeling naar gate

Hoofdstuk 6

Stroomstapantwoord en stabiliteit

Bij het gebruik van een grote externe condensator kan op een eenvoudige manier een goed stroomstapantwoord gehaald worden. Dat komt door de lage inherente uitgangsimpedantie van de regelaar door de grote waarde van C_L . Voor frequentie-stabilisatie kan een gewenste poolplaatsing verkregen worden door de waarde van C_L en de ESR (equivalente serie resistiviteit) van deze condensator goed te kiezen. In dit ontwerp mag echter niet gerekend worden op een grote externe condensator omdat de spanningsregelaar volledig on-chip moet kunnen geïntegreerd worden. Hierdoor is er nood aan een snelle interne terugkoppeling in de foutversterker om het stroomstapantwoord en de stabiliteit te verzorgen. In figuur 6.1 wordt schematisch de spanningsregelaar met de snelle interne terugkoppeling getoond.



Figuur 6.1: De spanningsregelaar met snelle interne terugkoppeling

Als een stroomstap ΔI_L wordt aangelegd bovenop de traag veranderende laststroom I_L , dan zou de pass transistor M_{PASS} zonder de snelle interne tegenkoppeling niet snel genoeg kunnen reageren om deze stroomvariatie al dan niet gedeeltelijk te leveren of op te nemen. In dat geval loopt ΔI_L volledig uit C_L en wordt ΔV_{UIT} enkel bepaald door de waarde van C_L en die is in dit ontwerp te klein om ΔV_{UIT} binnen de toegelaten grenzen te houden.

Eenzijds is er dus de conventionele regelkring die een grote versterking van de regelaar verzorgt en de uitgangsspanning vergelijkt met de bandgap referentiespanning V_{BGAP} . Anderzijds is er de snelle interne terugkoppeling die als doel heeft om bij variaties van de uitgangsspanning zo snel mogelijk de gate van de pass transistor te moduleren, waarop een stroom uitgestuurd wordt om deze verandering van V_{UIT} tegen te werken. De versterking van de kring gevormd door de snelle interne terugkoppeling en de pass transistor hoeft daarbij niet noodzakelijk groot te zijn bij lage frequenties, aangezien in dit lagere frequentiegebied de andere regelkring zich dominant zal gedragen. Het is dan ook deze laatste regelkring die zal zorgen voor een hoge PSRR en een lage geregelde uitgangsimpedantie $Z_{UIT,REG}$ bij lagere frequenties.

6.1 Interne terugkoppeling

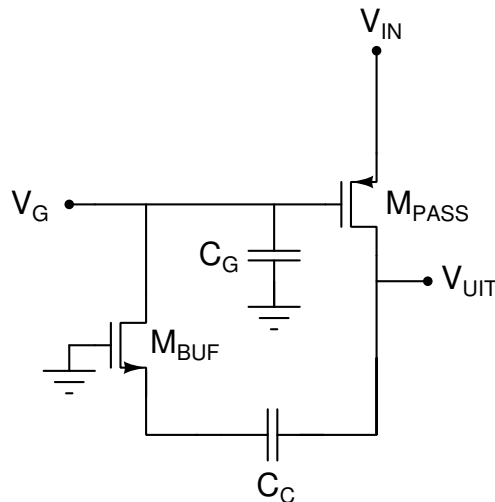
De interne tegenkoppeling wordt niet alleen gebruikt om een snelle reactie te bieden op een stroomstap aan de uitgang, maar ook om de volledige spanningsregelaar te stabiliseren bij alle frequenties voor alle toegestane belastingen. De dominante pool van de totale kringwinst wordt aan de gate van de pass transistor gevonden. De pool gevormd door de transconductantie van de pass transistor en de lastcapaciteit vormt de belangrijkste parasitaire pool. Ongecompenseerd ligt deze parasitaire pool te dicht bij de dominante pool. Omdat er veel interne terugkoppelingen bestaan die voor frequentiestabilisatie zorgen maar het antwoord op een stroomstap niet veel verbeteren, wordt bij de keuze van de interne terugkoppeling eerst gestreefd naar het verbeteren van het stroomstapantwoord en pas daarna naar het stabiliseren van de regelaar. Aangezien de snelheid van de regelaar bepaald wordt door hoe snel de pass transistor reageert op een verandering van de uitgangsspanning, worden de interne terugkoppelingen vergeleken en geëvalueerd op basis van hun open-keten transferfunctie van de uitgangsspanning V_{UIT} naar de spanning V_G aan de gate van de pass transistor.

6.1.1 Stroomstapantwoord

De meest eenvoudige interne terugkoppeling is Miller compensatie. Daarbij wordt een condensator geplaatst tussen de gate en drain van de pass transistor. Dit zorgt voor stabilisatie via poolsplitsing, waarbij de dominante pool naar lagere frequenties verschuift en de parasitaire pool naar hogere frequenties. De terugkoppeling gebeurt onder de vorm van een spanningsdeling van V_{UIT} naar de gate van de pass transistor (V_G). Deze terugkoppeling heeft als voordeel dat ze een zeer grote (theoretisch oneindige) bandbreedte heeft, maar er is een grote condensator nodig om de maximale versterking, namelijk de

eenheidsversterking, van V_{UIT} naar V_G te bereiken. Omdat deze terugkoppeling te zwak is, kunnen de specificaties voor dit ontwerp niet gehaald worden.

In de vakliteratuur worden verschillende interne terugkoppelingen beschreven en geëvalueerd. Om het ontwerp niet nodeloos complex te maken werd gekozen voor een tweetraps architectuur. In de literatuur blijken de beste resultaten behaald te worden voor snelheid en stabiliteit bij de ontwerpen waarbij Miller compensatie met een stroomvolger en eventuele stroomversterking wordt toegepast. Deze compensatie werd voor het eerst beschreven in [1] en heet Ahuja compensatie. Varianten op deze soort terugkoppeling worden besproken in [3] en [4]. In deze ontwerpen wordt de stroom door de Miller condensator telkens gebufferd (door een stroomvolger) en versterkt. Door de buffering wordt een stroom geïnjecteerd aan de gate van de pass transistor en is er stroomtegenkoppeling. Daardoor is de versterking van V_{UIT} naar V_G niet meer beperkt tot de eenheidsversterking zoals bij een spanningstegenkoppeling en kan een sterkere interne tegenkoppeling bereikt worden. De complicaties zijn dan dat er door de stroomvolger en eventuele versterking extra polen ontstaan die de bandbreedte van de tegenkoppeling beperken.



Figuur 6.2: Terugkoppelnetwerk door Ahuja compensatie

In figuur 6.2 wordt een eenvoudige Miller compensatie met stroomvolger zonder stroomversterking getoond. Hierbij stelt C_C de compensatiecondensator voor en stelt C_G de totale capaciteit op de gate knoop V_G voor. Deze is gelijk aan $C_{GS} + C_{GD,PASS}$. C_{GS} bestaat dan weer uit $C_{GS,PASS}$ en de condensator die daarmee in parallel werd geplaatst (zie finaal ontwerp). Voor de volledigheid wordt nog de precieze ingangsimpedantie aan de gate meegegeven:

$$Z_{IN,G} = \frac{\frac{C_L}{g_m C_{GD}}}{\left(1 + s \frac{C_L}{g_m} \cdot \frac{C_{GS} + C_{GD}}{C_{GD}}\right)} \quad (6.1)$$

Hierbij werd de notatie vereenvoudigd voor de leesbaarheid. De transconductantie g_m is die van de pass transistor. De pool in (6.1) ligt bij voldoende lage frequentie om de gebruikte vereenvoudiging in figuur 6.2 door te voeren. Deingangsimpedantie van de stroomvolger is $1/g_{m,BUF}$. Er valt eenvoudig in te zien dat voor kleinsignaalvariatië de stroom I_G die in C_G geïnjecteerd wordt dan gelijk is aan:

$$I_G = \frac{s \cdot C_C}{\left(1 + s \cdot \frac{C_C}{g_{m,BUFF}}\right)} V_{UIT} \quad (6.2)$$

Deze stroom loopt (voor het interessante hogere frequentiegebied) in C_G en de sterkte van de interne terugkoppeling wordt:

$$\frac{V_G}{V_{UIT}} = \frac{C_C}{C_G} \frac{1}{\left(1 + s \cdot \frac{C_C}{g_{m,BUFF}}\right)} \quad (6.3)$$

Hierbij werd echter de uitgangsimpedantie $R_{O,BUFF}$ van de stroomvolger M_{BUF} als oneindig beschouwd. Een eindige $R_{O,BUF}$ geeft aanleiding tot een rechterhalfvlak nul. Deze kan echter gecompenseerd worden door een goed gekozen compensatieweerstand R_C in serie met C_C te plaatsen.

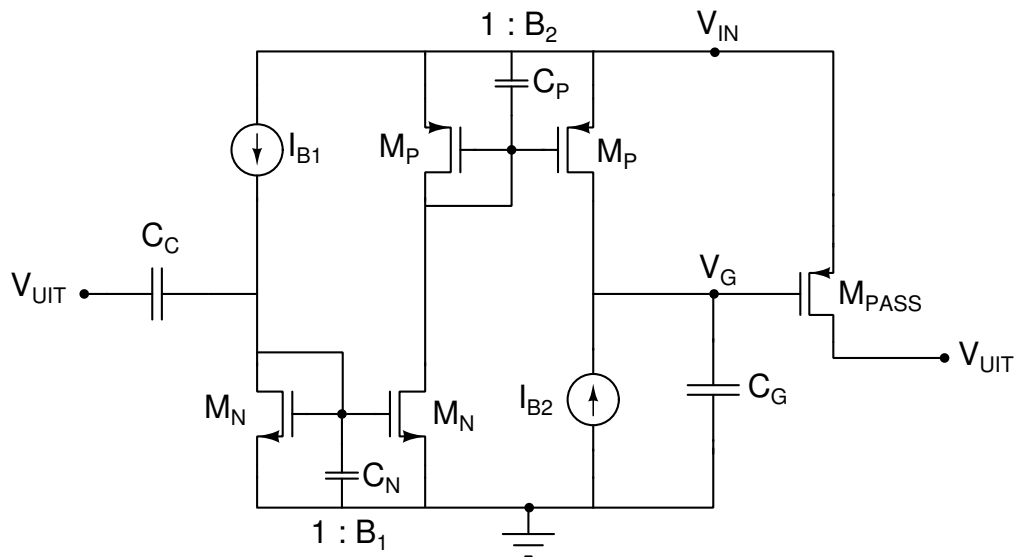
Er zijn twee belangrijke redenen om niet te kiezen voor deze onversterkte Ahuja compensatie. De eerste reden is dat de nul niet exact kan gecompenseerd worden door de afwijking op de compensatieweerstand R_C die geïntroduceerd wordt door procesvariatië tijdens de fabricatie. Dit heeft niet alleen negatieve gevolgen voor de stabiliteit en snelheid van de regelaar, maar heeft ook een sterk negatieve impact op de PSRR. In het voorgaande deel over PSRR werd namelijk uitgelegd dat voor kleinsignaalvariatië de spanning aan de gate V_G zo goed mogelijk gecorreleerd wordt met deingangsspanning V_{IN} . Door deze nul van V_G naar V_{UIT} zal de gebruikte compensatie voor de PSRR negatief beïnvloeden. Een tweede reden is dat een vrij grote compensatiecondensator nodig is om een sterke terugkoppeling van V_{UIT} naar V_G te verkrijgen. Dit komt door de grote parasitaire capaciteiten van de pass transistor die de capaciteit op de gate knoop bepalen. In het frequentiegebied waar deze tegenkoppeling nog niet gedegenereerd wordt door de pool is de sterkte ervan:

$$\frac{V_G}{V_{UIT}} = \frac{C_C}{C_G} = \frac{C_C}{C_{GS,PASS} + C_{GD,PASS}} \quad (6.4)$$

Als een grote compensatiecondensator C_C gekozen wordt, moet echter ook de transconductantie van M_{BUF} groter gemaakt worden om de parasitaire pool in (6.3) niet naar lagere frequenties te brengen. Daar kan voor gezorgd worden door een grotere instelstroom te gebruiken of een grotere g_m/I_D te kiezen.

Een betere keuze voor de interne terugkoppeling bestaat eruit om na de stroomvolger nog een stroomversterking te realiseren. Daardoor kan de compensatiecondensator kleiner gekozen worden en kan chipoppervlakte bespaard worden. Voor de versterking kan

simpelweg een stroomspiegel gebruikt worden met een stroomverhouding gelijk aan de versterkingsfactor. Door het spiegelen van deze stroom wordt het teken van de terugkoppeling echter omgedraaid. Om deze reden moeten twee stroomspiegels gebruikt worden, zodat het correcte teken van de terugkoppeling wordt behouden. Het resultaat hiervan is dat er een sterke tegenkoppeling bereikt wordt, maar het nadeel is dat er drie nieuwe polen geïntroduceerd worden. Naast de pool van de stroomvolger M_{BUF} in vergelijking (6.3) komt er nog een pool per stroomspiegel bij. In figuur 6.3 wordt een circuit getoond met dezelfde resultaten maar met een pool minder.



Figuur 6.3: Terugkoppelnetwerk door Ahuja compensatie met stroomversterking

In deze figuur zijn C_C de compensatiecapaciteit, B_1 en B_2 de spiegeelfactoren van de stroomspiegels die voor versterking zorgen en C_P en C_N de parasitaire capaciteiten van de stroomspiegels die voor de extra polen in de open-keten transferfunctie van V_{UIT} naar V_G zorgen. De stroombronnen I_{B1} en I_{B2} zijn de instelstroombronnen. In dit circuit wordt de linkse spiegel dubbel benut. Enerzijds vervult de linkse transistor M_N de rol van een stroomvolger en anderzijds wordt een stroomversterking B_1 gerealiseerd. Dit resulteert in een pool minder dan in het geval hierboven besproken. Verder wordt de stroom nogmaals gespiegeld (en versterkt met factor B_2) om het juiste teken van de terugkoppeling te verkrijgen.

De transferfunctie voor de terugkoppeling van V_{UIT} naar V_G wordt dan gegeven door:

$$\frac{V_G}{V_{UIT}} = \frac{B_1 \cdot B_2 \cdot C_C}{C_G} \cdot \frac{1}{\left(1 + s \frac{C_C}{g_{m,M_N}}\right) \cdot \left(1 + s \frac{C_P}{g_{m,M_P}}\right)} \quad (6.5)$$

Hierbij wordt C_{N,M_N} verwaarloosd ten opzichte van C_C . Uit vergelijking (6.5) blijkt nu dat door de stroomversterking een effectieve capaciteit gezien wordt die gelijk is aan:

$$C_{eff} = B_1 \cdot B_2 \cdot C_C \quad (6.6)$$

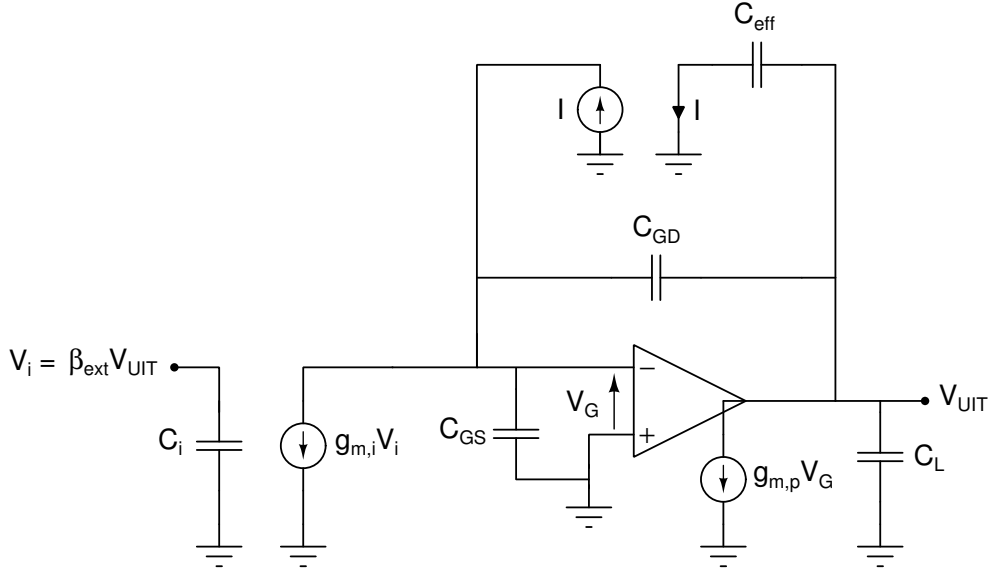
Daardoor mag de condensator C_C een factor $B_1 B_2$ kleiner kan gekozen worden ten opzichte van het geval zonder stroomversterking.

Het is overigens belangrijk om op te merken dat de keuze van NMOS en PMOS stroomspiegels een specifieke reden heeft. De linkse stroomspiegel (aan C_C) is een NMOS stroomspiegel. Als een PMOS stroomspiegel gebruikt wordt, wordt een extra doorkoppelpad van V_{IN} naar V_{UIT} voorzien. Dit pad bestaat dan uit de impedanties gevormd door $1/g_{m,PMOS}$ en C_C . Dit zou de PSRR uiteraard negatief beïnvloeden. De rechtse stroomspiegel is dan weer wel een PMOS stroomspiegel. De reden daarvoor werd uitgelegd in het hoofdstuk over PSRR bij het doorkoppeleffect naar de gate van de pass transistor.

Om een intuïtief inzicht te krijgen in hoe de toevoeging van dit snelle interne tegenkoppelnetswerk de snelheid van de regelaar en dus ook het antwoord op een stroomstap verbetert, kan de volgende beschouwing gemaakt worden voor het hoge frequentiegebied. Beide terugkoppelingen leveren een stroom die geïnjecteerd wordt in de capaciteit aan de gate van de pass transistor. In tijdsdomein wordt deze stroom dus geïntegreerd tot de gatespanning. Deze stuurspanning aan de gate zorgt er dan voor dat de pass transistor op zijn beurt een stroom uitstuurt om V_{UIT} te veranderen. De terugkoppeling naar de gate via het differentiaalpaar heeft in dit frequentiegebied een integrerende werking en dat zorgt voor een tragere regeling. De interne Ahuja terugkoppeling, zoals hierboven besproken, heeft in dit frequentiegebied een proportionele tegenkoppeling naar V_G . Dit komt omdat de uitgangsspanning eerst gedifferentieerd werd via C_C en erna terug geïntegreerd wordt via C_G . Het is deze proportionele tegenkoppeling in dit frequentiegebied die ervoor zorgt dat veranderingen van V_{UIT} sneller onderdrukt worden en aldus een beter stroomstapantwoord verkregen wordt.

6.1.2 Stabiliteit

De stabiliteit wordt berekend via de dominante pool methode. Door Ahuja compensatie met stroomversterking wordt er poolsplitsing bekomen. In figuur 6.4 staat een vereenvoudigd schema om de totale kringwinst te kunnen schatten via nullatorhypothese. Hierbij zijn β_{ext} de externe terugkoppelfactor via de terugkoppelweerstand, C_{GD} de parasitaire gate-drain capaciteit van de pass transistor en C_{GS} de capaciteit die gevonden wordt tussen gate en source van de pass transistor. Zoals eerder vermeld wordt deze groter gemaakt dan enkel de aanwezige parasitaire capaciteit teneinde de PSRR te verbeteren. C_{eff} is de capaciteit uit vergelijking (6.6). De transconductantie $g_{m,p}$ is die van de pass transistor en verder zal de notatie $g_{m,C}$ gebruikt worden voor de transconductantie van de Ahuja stroombuffer.



Figuur 6.4: Vereenvoudigde tweetrapsversterker met Ahuja en Miller compensatie

Er is enerzijds terugkoppeling via de Ahuja compensatie en er is ook een beperkte inherente Miller compensatie door de aanwezige C_{GD} van de pass transistor. Om de structuur te analyseren wordt de nullatorhypothese toegepast op de tweede trap. Dit resulteert in een eerste benadering:

$$V_{UIT} \approx \frac{g_{m,1}}{s(C_{eff} + C_{GD})} V_i \quad (6.7)$$

Hieruit blijkt dat een grotere waarde van C_{eff} deze dominante pool van de totale kringwinst naar lagere frequenties brengt. Bij de nullatorhypothese wordt uitgegaan van een oneindige kringwinst KW van de interne tegenkoppeling. Deze is uiteraard niet werkelijk oneindig, maar wordt bij benadering gegeven door:

$$KW = \frac{g_{m,p}}{sC_L} \frac{C_{eff}}{C_{GD} + C_{GS}} \cdot \frac{1}{(1 + s \frac{C_C}{g_{m,C}}) \cdot (1 + s\tau_{P_{sp}})} \approx \frac{g_{m,p}}{sC_L} \frac{C_{eff}}{C_{GD} + C_{GS}} \quad (6.8)$$

Hieruit blijkt dan weer dat een grote waarde van C_{eff} de parasitaire pool van de totale kringwinst naar hogere frequenties verschuift. De hoogfrequente nul die veroorzaakt wordt door C_{GD} is terecht verwaarloosd. Die nulrequentie bedraagt $\frac{g_{m,p}}{2\pi C_{GD}}$ en dit is voor alle toegestane laststromen in normale werking hoger dan 1 GHz. De parasitaire pool die hoort bij $\tau_{P_{sp}}$ wordt veroorzaakt door de tweede spiegeling in de Ahuja tegenkoppeling en ligt bij hoge frequentie. Het is dan verder de bedoeling om de pool veroorzaakt door de Ahuja stroomvolger ver genoeg voorbij de eenheidsversterkingsfrequentie van deze interne terugkoppeling te schuiven zodat bij deze frequenties geen ongewenste pieking van de kringwinst verkregen wordt. Deze twee polen van de interne kringwinst kunnen dan

verwaarloosd worden om het rechterlid in (7.4) te bekomen. Tenslotte kan V_i vervangen worden door $\beta_{ext}V_{UIT}$ en beide vergelijkingen kunnen worden samengevoegd om de totale kringwinst te berekenen als:

$$KW_{tot} = \frac{\beta_{ext}g_{m,i}}{s(C_{eff} + C_{GD})} \cdot \frac{KW}{KW + 1} \quad (6.9)$$

Met behulp van deze vergelijkingen kan het finale ontwerp gestabiliseerd worden. Enerzijds moet daarbij gelet worden om de belangrijkste parasitaire pool van de interne kringwinst KW ver genoeg voorbij de frequentie van de dominante pool van KW te plaatsen. Mathematisch wordt dit uitgedrukt als:

$$\frac{g_{m,C}}{C_C} > \frac{g_{m,p}}{C_L} \frac{C_{eff}}{C_{GD} + C_{GS}} \quad (6.10)$$

Anderzijds moet de dominante pool van de interne kringwinst (die de eerste parasitaire pool vormt voor de totale kringwinst) rechts in (7.1) ver genoeg voorbij de dominante pool van de totale kringwinst liggen. Dit is dus een tweede mathematische voorwaarde:

$$\frac{g_{m,p}}{C_L} \frac{C_{eff}}{C_{GD} + C_{GS}} > \frac{\beta_{ext}g_{m,i}}{C_{eff} + C_{GD}} \quad (6.11)$$

Stabiliteit vormt een nodige randvoorwaarde, maar uiteraard zal het meest stabiele ontwerp niet het ontwerp zijn dat best scoort op snelheid, stroomverbruik, stroomstap-antwoord of PSRR. Bovenstaande ongelijkheden werden daarom tijdens het ontwerpen gebruikt als randvoorwaarden waarbij gezamenlijk geoptimaliseerd werd voor de belangrijkste specificaties van de spanningsregelaar.

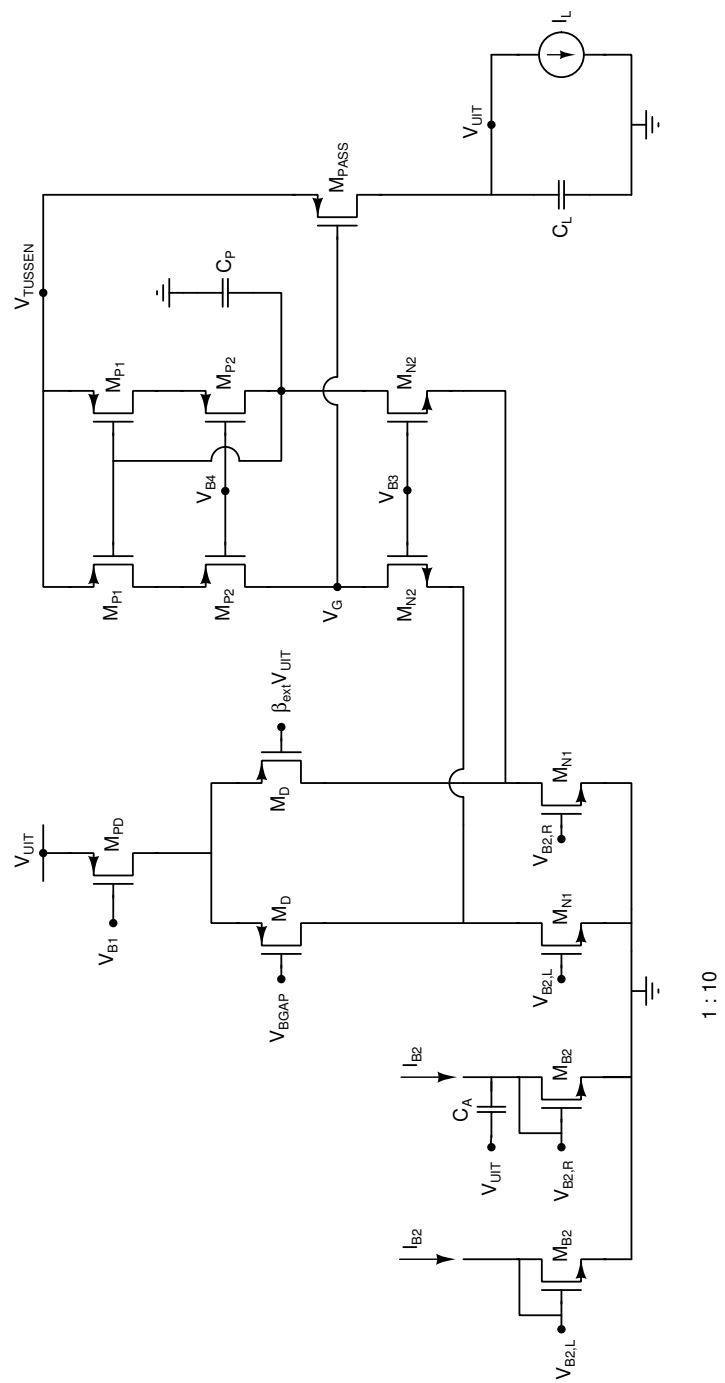
Hoofdstuk 7

Finaal ontwerp

De voorgaande analyses van de PSRR en de stabiliteit van de regelaar en de compensatietechnieken die eruit voortvloeiden, werden in het finaal ontwerp ten volle benut. In figuur 7.1 wordt de spanningsregelaar op circuitniveau getoond, zonder het afzonderlijke HSB+EMC blok. De spanning V_{TUSSEN} na het HSB+EMC blok wordt (zoals dat werkelijk het geval is) als voeding van de regelaar zelf gebruikt. Er werd in dit werk nog geen opstartcircuit ontworpen. Waar het circuit gevoed werd met de uitgangsspanning, werd eerst gebruikt gemaakt van een ideale spanningsbron van 3,3 V om de regelaar te laten instellen en V_{UIT} hoog te laten komen. Daarna werd via ideale schakelaars de ideale spanningsbron vervangen door V_{UIT} . Op die manier zijn de simulaties waarheidsgetrouw en heeft het gebrek aan een opstartcircuit verder geen invloed.

7.1 Differentiaalpaar

Er werd gekozen om een PMOS differentiaalpaar te gebruiken. Dit vloeit voort uit het feit dat de bandgap referentiespanning V_{BGAP} 1,25 V bedraagt. Bij het gebruik van een NMOS differentiaalpaar is dan slechts 1,25 V beschikbaar voor de saturatiespanning V_{DSAT} (plus marge) van de staartstroombron en de gate-source spanning V_{GS} van het differentiaalpaar en dat blijkt te krap te zijn. Bij het gebruik van een PMOS differentiaalpaar kunnen die spanningen gerefereerd worden ten opzichte van de voedingspanning van het differentiaalpaar. Er werd gekozen om het gedeelte van de eerste trap met het differentiaalpaar te voeden met de uitgangsspanning van 3,3 V om redenen die later duidelijk worden gemaakt. Hierdoor is een spanningsval van 2,05 V beschikbaar voor $V_{\text{GS}} + V_{\text{DSAT}}$ en dat blijkt wel ruim voldoende te zijn.



1 : 10

Figuur 7.1: De spanningsregelaar op circuitniveau zonder het HSB+EMC blok

7.2 Gevouwen cascode

Naast het PMOS differentiaalpaar wordt de eerste trap vervolledigd met een gevouwen cascode. Deze keuze werd gemaakt om drie belangrijke redenen. De eerste reden is dat het gebruik van cascodes in het algemeen een beter gedrag oplevert. De DC versterking wordt hoger met als gevolg dat de statische fout kleiner wordt en de laagfrequente PSRR verbetert. Verder wordt de drain-source spanning van stroombrontransistoren M_{N1} gelijk gemaakt waardoor voor een betere matching van hun stromen gezorgd wordt.

De tweede reden is dat door het gebruik van cascodetransistoren M_{N2} het differentiaalpaar en de transistorstroombronnen M_{N1} kunnen beschermd worden tegen de hogere spanningen die kunnen voorkomen boven cascodetransistoren M_{N2} . Deze bescherming wordt geboden door de spanning aan de gate van M_{N2} correct te kiezen. Hierdoor kunnen 3,3 V transistoren gebruikt worden voor de staartstroombron M_{PD} , het differentiaalpaar M_D en de stroombronnen M_{N1} . De transistoren die gebruikt worden, zijn de *ne3* en *pe3* transistoren uit de XH018 technologie. Dit zijn kleinere transistoren dan de transistoren die hogere spanningen aankunnen en door de lagere drempelspanning wordt V_{GS} van het differentiaalpaar kleiner en is er nog meer marge tussen de bandgapspanning V_{BGAP} en de 3,3 V voeding ervan.

De derde reden om de gevouwen cascode topologie te gebruiken is dat alle stroomspiegels die verbonden worden aan de gate van de pass transistor van het PMOS type moeten zijn. De reden daarvoor werd uitgelegd in het deel over de PSRR. Voor zowel de Ahuja compensatie als de compensatie om de PSRR te verbeteren, wordt gerekend op deze PMOS stroomspiegel. Het verplichte gebruik van een PMOS differentiaalpaar en het verplichte gebruik van een PMOS stroomspiegel als uitgang van de eerste trap leidt op een natuurlijke wijze tot deze gevouwen cascode topologie.

7.3 Compensaties

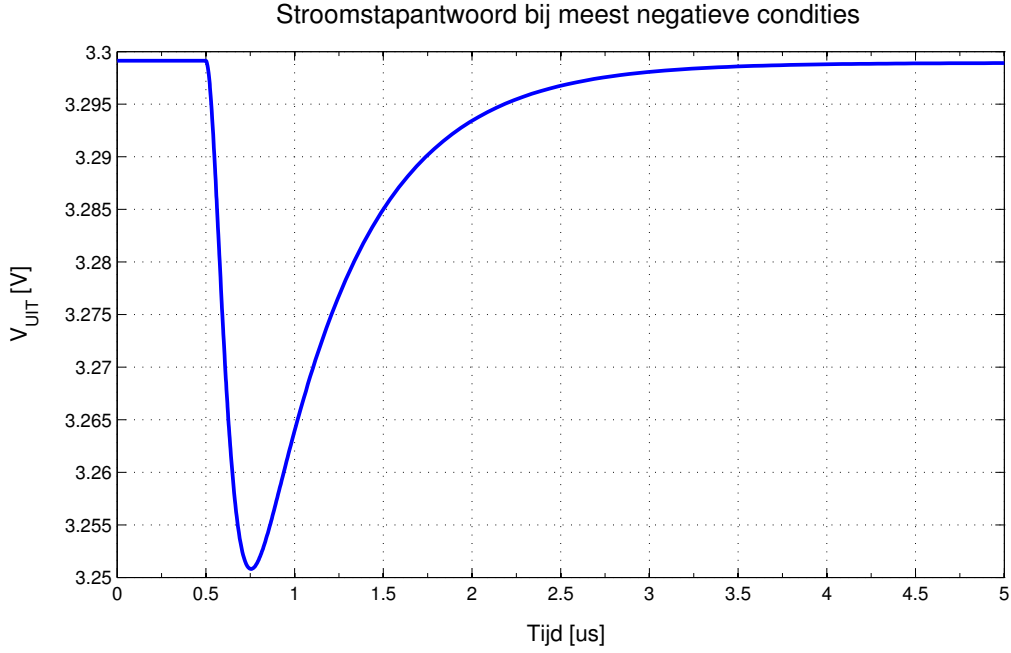
De Ahuja compensatie met stroomversterking en de compensatie voor de PSRR kunnen via de aparte circuits die in dit werk besproken zijn, toegevoegd worden aan de gate van de pass transistor. Een slimmere keuze is echter om de besproken compensaties op een elegante manier te integreren in de gevouwen cascodetrap zelf. Op die manier kan de stroom als het ware dubbel gebruikt worden. Vanuit dat opzicht krijgen beide compensaties dubbel zoveel stroom en dat zorgt ervoor dat in het algemeen de polen naar hogere frequenties worden geschoven en een hogere snelheid van de regelaar bereikt wordt. Een nadeel kan zijn dat door de integratie van beide compensaties in dezelfde tak de ene een negatieve invloed uitoefent op de andere. Er werd echter voor gezorgd dat dit niet het geval is. De condensator C_A links onder in 7.1 zorgt voor Ahuja compensatie met stroomversterking en de condensator C_P zorgt voor de hoogfrequente PSRR compensatie om het effect van de doorkoppeling van V_{TUSSEN} naar de gate te controleren.

7.3.1 Ahuja compensatie met stroomversterking

Als de gevouwen cascode topologie met inbegrip van instelstroombronnen M_{N2} in figuur 7.1 bekeken wordt, kan daarin met een kleine dosis goede wil figuur 6.3 herkend worden. Door condensator C_A te plaatsen tussen V_{UIT} en de gate en source van de rechtse transistor M_{N2} , wordt deze enerzijds als instelstroomspiegel en anderzijds als Ahuja stroomvolger gebruikt. Deze stroomspiegel heeft een versterking B_1 van 10. De tweede versterking B_2 is dan gelijk aan 1, aangezien die verzorgd wordt door de PMOS stroomspiegel die ook de stroom uit het differentiaalpaar spiegelt. Zoals vermeld bij de bespreking van de Ahuja compensatie met stroomversterking wordt door het gebruik van een NMOS stroomspiegel voor de eerste stroomspiegeling geen extra laagimpedant doorkoppelpad van V_{TUSSEN} naar V_{UIT} voorzien. Daardoor zal de PSRR niet op een negatieve manier beïnvloed worden door het plaatsen van C_A . Integendeel, de hoogfrequente geregelde uitgangsimpedantie $Z_{UIT,REG}$ zal verlagen door de sterkere interne terugkoppeling in dat frequentiegebied. Dat heeft als gevolg dat beide doorkoppeleffecten (rechtstreeks en via gate M_{PASS}) die negatief zijn voor de PSRR gereduceerd worden. De exacte waarde van compensatiecondensator C_A , de transconductantie $g_{m,M_{B2}}$, de stroom I_{B2} en de stroomversterking B_1 werden bepaald na enkele iteratierondes waarbij de PSRR, het stroomstapantwoord, het stroomverbruik en chipoppervlakte gezamenlijk geoptimaliseerd werden via berekeningen en inzichtsvolle simulaties in Cadence. Ze bedragen:

$$\begin{aligned}C_A &= 1,48 \text{ pF} \\ B_1 &= 10 \\ I_{B2} &= 16 \text{ } \mu\text{A} \\ g_{m,M_{B2}} &= 230 \text{ } \mu\text{A/V}\end{aligned}$$

Voor de PSRR is het beter lagere waarde voor C_A te kiezen en de parasitaire pool door de Ahuja stroomvolger wat hoger te plaatsen. Om het stroomstapantwoord te verbeteren is het dan weer beter om de interne tegenkoppeling sterker te maken en C_A groter te kiezen. Om de PSRR te kunnen optimaliseren en toch aan de specificaties voor het stroomstapantwoord te voldoen, werd C_A op de grens ingesteld waarbij V_{UIT} bij de slechtste condities ($V_{IN} = 4,5$, $I_L = 1 \text{ mA}$ en bij 175°C) 50 mV varieert bij een stroomstap aan de uitgang van $0,5 \text{ mA}$. Het is ook bij deze condities dat de laagste fasemarge gehaald wordt. Dat komt doordat de belangrijkste parasitaire pool van de totale kringwinst afhangt van $g_{m,PASS}$ en deze wordt het laagste bij de kleinste laststroom en hoogste temperatuur. In figuur 7.2 en 7.3 worden respectievelijk dit stroomstapantwoord en de bodeplots van de totale kringwinst weergegeven. Er is een fasemarge behaald van 82° .



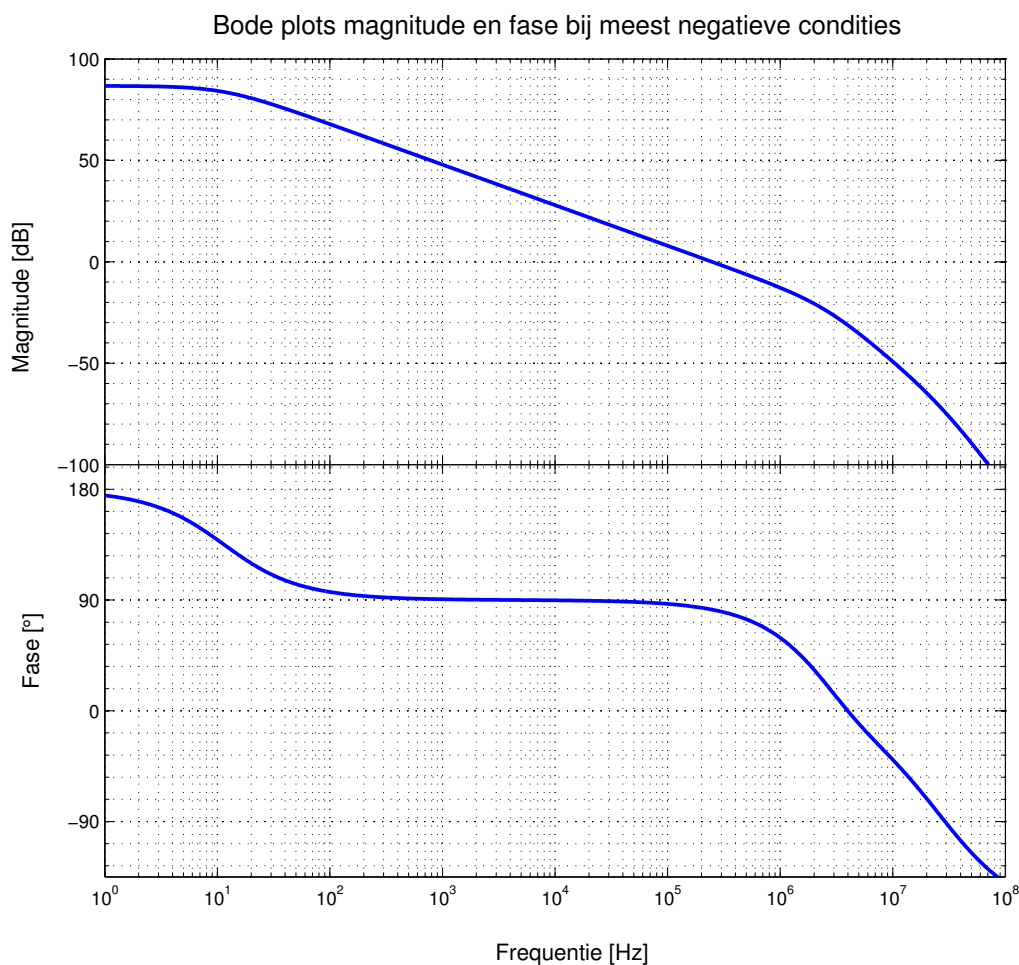
Figuur 7.2: Het stroomstapantwoord bij de meest negatieve condities

Bij deze dimensionering werd gekozen voor een grote g_m/I_D van M_{B2} om de transconductantie van deze stroomvolger te vergroten. Daardoor wordt de parasitaire pool van de interne kringwinst $\frac{g_{m,M_{B2}}}{C_A}$ bij hoge frequenties geplaatst. Verder kan opgemerkt worden dat het effect van B_1 vergroten en C_A evenredig verkleinen geen invloed heeft op de ligging van de polen van de totale kringwinst bij eenzelfde stroomverbruik en g_m/I_D . De stabiliteitsongelijkheden uit het vorige hoofdstuk worden hier voor de gemakkelijkheden herhaald:

$$\frac{g_{m,M_{B2}}}{C_A} > \frac{g_{m,p}}{C_L} \frac{C_{eff}}{C_{GD} + C_{GS}} \quad (7.1)$$

$$\frac{g_{m,p}}{C_L} \frac{C_{eff}}{C_{GD} + C_{GS}} > \frac{\beta_{ext} g_{m,i}}{C_{eff} + C_{GD}} \quad (7.2)$$

Het vergroten van B_1 met een factor X en het evenredig verkleinen van C_A zorgt ervoor dat de waarde van $C_{eff} = B_1 C_A$ constant blijft. Dat betekent dat beide leden in (7.2) en het rechterlid in (7.1) niet veranderen. Het valt ook in te zien dat het linkerlid in (7.1) niet verandert. Door het verkleinen van C_A met factor X mag ook $g_{m,M_{B2}}$ evenredig verkleinen om de pool op dezelfde frequentie te houden. Bij een constante g_m/I_D komt dit neer op de stroom door M_{B2} met een factor X te verlagen. Deze stroom wordt nu wel met een X keer grotere stroomspiegelfactor gespiegeld naar transistoren M_{N1} , waardoor



Figuur 7.3: Bode plots magnitude en fase van totale kringwinst bij de meest negatieve condities

uiteindelijk dezelfde instelstroom door M_{N1} loopt als voorheen ($150 \mu\text{A}$). B_1 kan uiteraard niet blijven verhoogd worden omdat de parasitaire capaciteiten C_{par} van M_{B2} verwaarloosd werden. Zodra die van dezelfde grootte-orde worden als C_A , wordt de interne tegenkoppeling verzwakt doordat de pool van de stroomvolger M_{B2} lager komt te liggen (C_A wordt vervangen door $C_A + C_{\text{par}}$). Daarom werd de keuze gemaakt om C_A in de grootte-orde van een pF te houden. Mocht geen stroomversterking gebruikt worden, zou er een compensatiecapaciteit nodig zijn van 10 keer zo groot, namelijk $14,8 \text{ pF}$. Daarnaast zou nog een compensatie voor de parasitaire rechterhalfvlak nul moeten gevonden worden. In sommige ontwerpen wordt daarbij een weerstand gebruikt waarvan de waarde door procesvariaties bij fabricatie veel varieert en een zwakke compensatie bekomen wordt. In andere ontwerpen zoals in [2] gebruikt men een even grote condensator, waardoor de

totale benodigde capaciteit tot 29,6 pF zou oplopen. Het hoeft verder geen betoog dat de gebruikte methode de voorkeur geniet.

Een nadeel van deze implementatie van Ahuja compensatie met stroomversterking is dat de onderste instelstromen door transistoren M_{N1} nu niet meer door eenzelfde gatespanning gestuurd worden. Uit Monte Carlo simulaties (met procesvariaties van 3σ) blijkt dat dit bij mismatch aanleiding geeft tot verschillende stromen en dus verschillende transconductanties in het differentiaalpaar. Hierdoor kan de uitgangsspanning in het slechtste geval variëren van 2,93 V tot 3,55 V. Omdat deze transistoren echter kleine $ne\beta$ transistoren zijn, kan het effect van mismatch gemakkelijk gereduceerd worden door het product van de kanaallengte L en kanaalbreedte W groter te maken (zonder daarom een grote chippoppervlakte in te nemen). Hetzelfde kan gedaan worden voor de $pe\beta$ transistoren van het differentiaalpaar. Dit zorgt ervoor dat de uitgangsspanning bij procesvariaties in het finale ontwerp tussen de grenzen van 3,18 V en 3,40 V blijft. Deze afwijking kan vervolgens nog weg gecalibreerd worden met behulp van de terugkoppelweerstand die instelbaar zijn met 4 bits.

7.3.2 Compensatie voor PSRR

De laagfrequente compensatie voor de PSRR komt neer op het gebruiken van PMOS stroomspiegels aan de gate van de pass transistor. Dit werd reeds besproken in het hoofdstuk over de PSRR. Door de keuze voor de gevouwen cascode wordt hieraan voldaan. Net zoals voor de Ahuja compensatie met stroomversterking werd de hoogfrequente compensatie voor de PSRR geïntegreerd in de aanwezige gevouwen cascode. De compensatiecondensator C_P (rechts bovenaan in figuur 7.1) werd geplaatst tussen de massa en de drain van de rechtse cascodetransistor M_{P2} . Deze condensator kan ook geplaatst worden tussen de voeding V_{TUSSEN} (in plaats van de massa) en de source van M_{N2} die dan als stroomvolger (in plaats van als spiegel) werkt. Dat vormt dus het duale geval van de vorige keuze. Omdat C_P dan rechtstreeks aan V_{TUSSEN} hangt, leidt deze keuze echter tot veel slechtere resultaten voor grote signalen en dat zou ervoor zorgen dat de EMC-robustheid van de spanningsregelaar veel verzwakt. De gelijkenis van dit circuit met figuur 5.5 is exact. De analyse ervan gebeurde tevens in het hoofdstuk over de PSRR. Er werd in het finale ontwerp echter een licht verschillende keuze gemaakt voor de compensatiecondensator C_P dan daar beschreven. De vergelijking voor de hoogfrequente compensatie wordt hier (licht aangepast aan de nieuwe notaties) voor de leesbaarheid herhaald:

$$\frac{V_G}{V_{IN}} = \frac{(C_{GS} + C_P)}{(C_{GS} + C_{GD})} \cdot \frac{(1 + s\tau_P(\frac{C_{GS}}{C_{GS} + C_P}))}{(1 + s\tau_P)} \quad (7.3)$$

Hierbij zijn C_P de geplaatste compensatiecapaciteit, C_{GD} de parasitaire gate-drain capaciteit van de pass transistor, C_{GS} de totale capaciteit tussen de gate en source van de pass transistor en τ_P is de tijdsconstante bepaald door de transconductantie van de

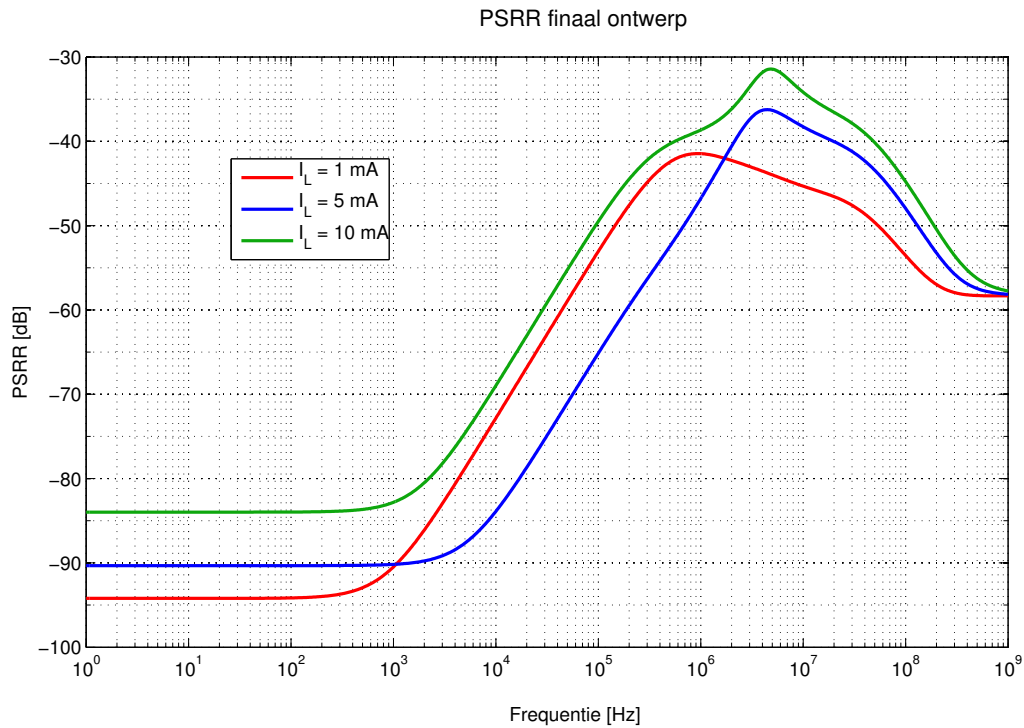
stroomspiegeltransistor M_{P1} en de totale capaciteit aan de gate van M_{P1} . In het finale ontwerp werd ervoor gekozen om C_P iets groter te maken dan C_{GD} . Dit zorgt ervoor dat er (tot frequenties geassocieerd met τ_P) een kleine versterking van V_{IN} naar V_G optreedt. Dat leidt ertoe dat bij een kleine positieve spanningsvariatie van V_{IN} een stroomvariatie uit $Z_{UIT,REG}$ loopt naar de pass transistor toe. Dit resulteert dan in een daling van V_{UIT} . Het rechtstreekse doorkoppeleffect dat beschreven werd door een spanningsdeling zorgt ervoor dat V_{UIT} stijgt bij een stijging van V_{IN} . Met andere woorden, de twee doorkoppeleffecten (rechtstreeks en via gate pass transistor) worden bij hogere frequenties tegen elkaar uitgespeeld. De uiteindelijk gekozen waarde van C_P is 1,75 pF (terwijl C_{GD} 1,52 pF bedraagt). Deze is zo gekozen om de beste compensatie te leveren bij de conditie waarbij de PSRR het slechtste wordt. Dit is bij de maximale laststroom van 10 mA, omdat die resulteert in de maximale $g_{m,PASS}$ waardoor de foutspanning ΔV_{GS} (door variaties van V_{TUSSEN}) het meeste versterkt wordt. Daarbij werd erop gelet dat de parasitaire pool en nul van de totale kringwinst, veroorzaakt door de stroomspiegeling door transistoren M_{MP1} , niet naar te lage frequenties verschuift. Deze wordt namelijk bepaald door $g_{m,M_{P1}}$ en C_P . Door de grote stroom die door M_{P1} vloeit, is $g_{m,M_{P1}}$ echter groot genoeg en hoeft er geen extra ingreep te gebeuren om de pool bij hogere frequenties te plaatsen. Hier blijkt dat het dubbele gebruik van deze tak voor Ahuja compensatie en PSRR compensatie leidt tot een reductie in stroomverbruik.

Verder zal door het doublet met pool $1/\tau_P$ en nul $1/\tau_P \frac{C_{GS}}{(C_{GS}+C_P)}$ de correlatie tussen V_{TUSSEN} en V_G wat verzwakken voor hoge frequenties. De nul kan dan dichterbij de pool verschoven worden om die verzwakking tegen te gaan. Dat kan gerealiseerd worden door C_{GS} groot te kiezen. Het nadeel van C_{GS} groter maken is dat er een grotere capaciteit wordt gezien aan de gate van de pass transistor. Het effect daarvan kan aan de hand van vergelijking (7.4) geanalyseerd worden. Als C_{GS} groter wordt, wordt de kringwinst van de interne terugkoppeling minder groot. Dat zorgt er dan voor dat de parasitaire pool van de totale kringwinst bij lagere frequenties komt te liggen. Om dit tegen te gaan, kan C_A groter gemaakt worden. Echter, dan komt de parasitaire pool van de interne kringwinst bij lagere frequenties te liggen.

$$KW = \frac{g_{m,p}}{sC_L} \frac{B_1 C_A}{C_{GD} + C_{GS}} \cdot \frac{1}{\left(1 + s \frac{C_A}{g_{m,M_{B2}}}\right) \cdot (1 + s\tau_P)} \quad (7.4)$$

Er blijkt dat de totale capaciteit C_{GS} tussen de gate en source (of V_{TUSSEN}) van de pass transistor groter dan 10 pF kan worden zonder instabiliteit of een slecht stroomstapantwoord te bereiken (door C_A groter te maken). Daarom werd een gezamenlijke optimalisatie voor PSRR, stroomstapantwoord en stabiliteit bereikt na enkele iteraties met de randvoorwaarde dat C_{GS} niet te groot mag worden zodat geen buitensporig grote chipoppervlakte ingenomen wordt. De uiteindelijke waarde voor de expliciet geplaatste condensator in parallel aan $C_{GS,PASS}$ is 6,7 pF. De verbetering die hierdoor gehaald wordt, werd reeds getoond in figuur 5.7.

De behaalde PSRR van het finale ontwerp wordt in figuur 7.4 getoond. Hierbij werd gesimuleerd bij de meest negatieve condities van maximale temperatuur (175°C) en laagsteingangsspanning V_{IN} in normale werking ($V_{\text{IN}} = 4,5\text{ V}$ en dus $V_{\text{TUSSEN}} = 4,17\text{ V}$). De PSRR wordt getoond voor de minimale laststroom 1 mA , een tussenliggende waarde van 5 mA en de maximale laststroom van 10 mA . Voor deze laststromen is de PSRR op het slechtste punt respectievelijk $-41,5\text{ dB}$, $-36,2\text{ dB}$ en $-31,4\text{ dB}$. Zoals verwacht is de PSRR het slechtste wanneer $g_{\text{m,PASS}}$ het grootste wordt (bij grootste laststroom), waardoor het doorkoppeleffect via de gate van de pass transistor het meest uitgesproken wordt.



Figuur 7.4: PSRR finaal ontwerp bij meest negatieve condities voor verschillende laststromen I_L

Aangezien de verbetering van de PSRR gerealiseerd wordt door compensatiecondensatoren te plaatsen, kan verwacht worden dat deze verbetering afhankelijk is aan procesvariaties (mismatch en verschillende process corners) bij het fabriceren van de chip. Daarom werden Monte Carlo simulaties uitgevoerd bij de meest negatieve condities ($I_L = 10\text{ mA}$, 175°C) en verschillende ingangsspanningen V_{IN} . Er werden telkens 100 simulaties met uniforme verdeling en 3σ afwijkingen gebruikt. Er blijkt dat de PSRR maximaal 2,7 dB vermindert op het slechtste punt (van -31,4 dB naar -28,7 dB) wanneer V_{IN} groter is 4,6 V. Zonder de hoogfrequente compensatie (met C_A en C_{GS}) wordt de PSRR op het slechtste punt -12,4 dB bij diezelfde condities. De hoogfrequente compensatie leidt dan tot een indrukwekkende verbetering van 14,3 dB in aanwezigheid procesvariaties.

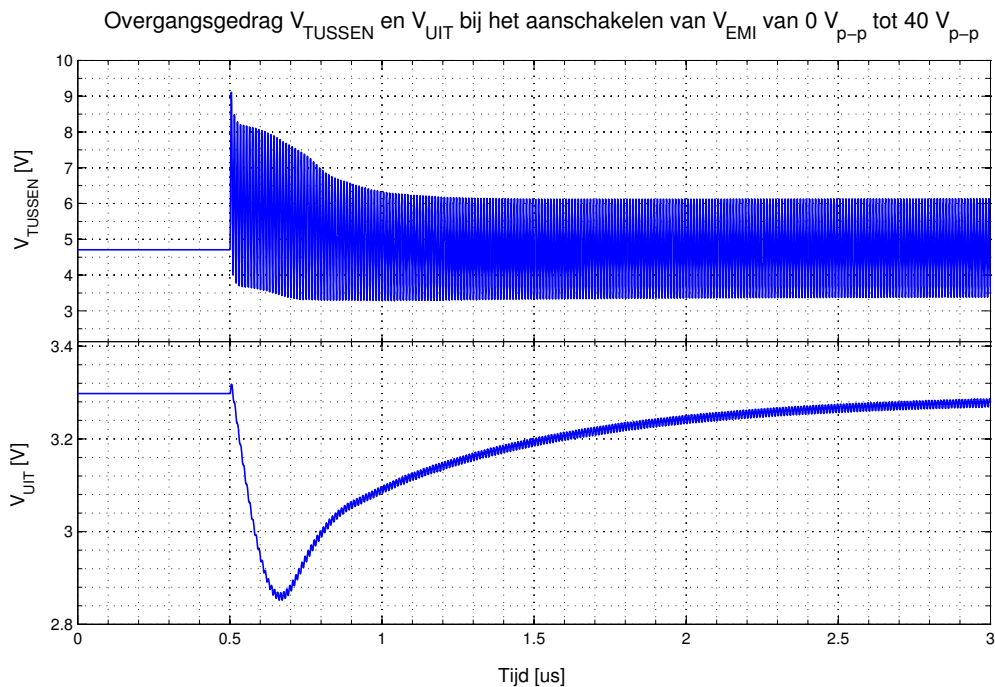
Wanneer V_{IN} echter 4,5 V wordt, daalt de PSRR op het slechtste punt in deze simulaties sterk en wordt in het slechtste geval -22,3 dB. De oorzaak van deze degradatie van PSRR, bij de laagste 100 mV van V_{IN} bij normale werking, moet op het moment van dit schrijven nog onderzocht worden. Na het vinden van de oorzaak kan hiervoor dan een remedie gezocht worden.

7.4 EMC-robustheid

Om de EMC-robustheid te bevorderen, kan op systeemniveau de volgende redenering gemaakt worden. Er moet in eerste instantie in de spanningsregelaar een zo groot mogelijke onafhankelijkheid aan V_{TUSSEN} verkregen worden. Als er een grote spanningsvariatie gesuperponeerd wordt op V_{TUSSEN} (zoals dat het geval is bij EMC testen), zal deze naar de uitgangsspanning doorgesplitst worden. Bij deze doorkoppeling is er echter attenuatie. Er moet geprobeerd worden om deze attenuatie zo sterk mogelijk te maken door zo weinig mogelijk doorkoppelpaden van V_{TUSSEN} naar V_{UIT} te voorzien. Dan kan de uitgangsspanning V_{UIT} (die door deze attenuatie een minder vervuilde spanning kan leveren) gebruikt worden om zoveel mogelijk delen van de regelaar te voeden.

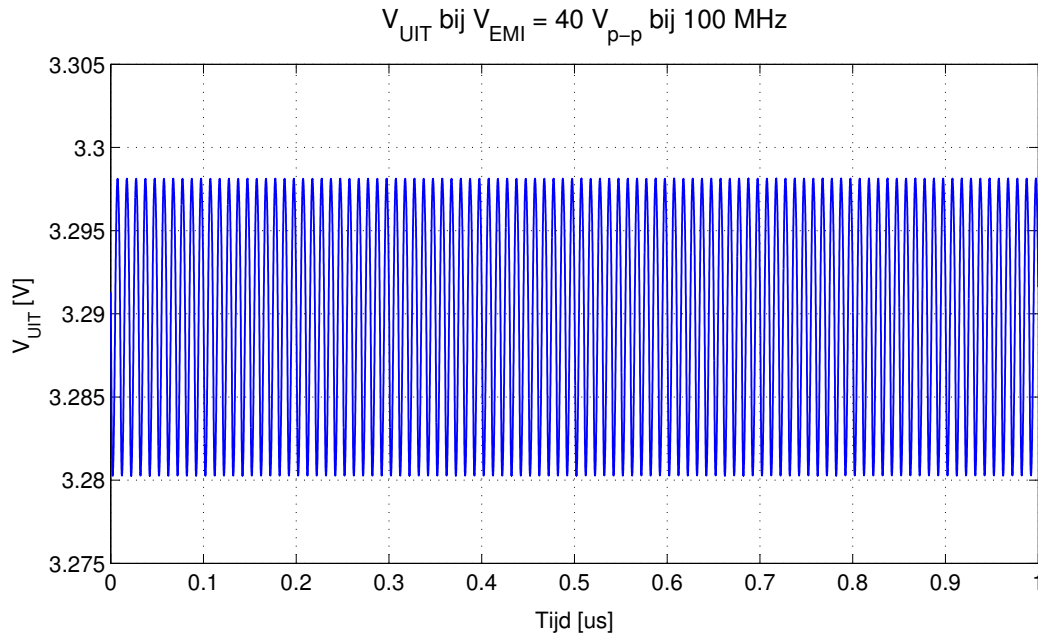
Om de EMC-robustheid te bevorderen, wordt het differentiaalpaar gevoed met de uitgangsspanning. Verder wordt ook de moederinstelstroom die uit het bandgapschakeling vloeit, waar mogelijk, gespiegeld aan V_{UIT} en niet aan V_{TUSSEN} . Om een correcte uitgangsspanning V_{UIT} te kunnen leveren, is het namelijk van essentieel belang om V_{UIT} continu te kunnen vergelijken met de bandgapspanning. Daarvoor zijn een stabiele voeding en een stabiele instelstroom voor het gevoelige differentiaalpaar nodig. De grote 1 nF condensator aan de uitgang werkt tevens als een batterij die tijdens de korte negatieve fase van de grote ingekoppelde spanning V_{EMI} een stroom kan leveren. Daardoor kunnen de instelstromen blijven vloeien en blijft het differentiaalpaar werken. Het is deze ingreep om het differentiaalpaar en de stroombronnen te voeden met V_{UIT} , samen met de werking van het HSB+EMC blok, dat ervoor zorgt dat aan de specificaties voor EMC-robustheid kan voldaan worden.

In figuur 7.5 wordt getoond hoe de spanningen V_{TUSSEN} en V_{UIT} zich gedragen wanneer V_{EMI} van $0 V_{\text{p-p}}$ naar $40 V_{\text{p-p}}$ aanschakelt. De frequentie van V_{EMI} is 100 MHz, de laststroom bedraagt daarbij 10 mA en de temperatuur bedraagt 175°C . Dit zijn de slechtst mogelijke condities voor de EMC-robuustheid van de spanningsregelaar. Er werd verder gewerkt met een DC voedingsspanning V_{IN} van 5 V. Het plotse aanschakelen van V_{EMI} van 0 V tot zijn maximale waarde vormt echter geen realistische mogelijkheid, omdat geen enkele reële bron dit oneindig snelle gedrag kan nabootsen. De uitwijking van V_{UIT} van 3,3 V naar 2,85 V tijdens het overgangsgedrag is dus een overdrijving van wat in de realiteit gebeurt. Verder is de invloed van het HSB+EMC blok duidelijk. De activatie van de hoogspanningsbescherming blijkt uit het omlaag gaan van V_{TUSSEN} na het intiële stijgen ervan. Ook de laagste spanning van de spanningsgolf wordt als het ware omhoog getrokken, zoals uitgelegd in het deel over het HSB+EMC blok. De spanning V_{EMI} die tussen -20 V tot +20 V fluctueert, wordt in regime (na het overgangsgedrag door het aanschakelen van V_{EMI}) geattenuueerd tot de spanning V_{TUSSEN} , die tussen 3,4 V en 6,1 V fluctueert.



Figuur 7.5: Overgangsgedrag van V_{TUSSEN} en V_{UIT} bij het aanschakelen van V_{EMI} van $0 V_{\text{p-p}}$ tot $40 V_{\text{p-p}}$

In figuur 7.6 wordt de spanning V_{UIT} in regime getoond, waarbij het overgangsgedrag van het aanschakelen van V_{EMI} uitgestorven is. Deze negatieve condities als hierboven werden gebruikt. Uit deze figuur blijkt dat V_{UIT} varieert tussen 3,280 V en 3,298 V (variatie van 18 mV_{p-p} bij een spanning V_{EMI} die varieert van -20 V tot +20 V (variatie van 40 V_{p-p}).



Figuur 7.6: V_{UIT} in regime bij $V_{EMI} = 40 V_{p-p}$ bij 100 MHz

In tabel 7.1 worden de spanningsvariatie van V_{UIT} en de minimale en maximale waarde van V_{UIT} gegeven in regime voor $V_{EMI} = 40 V_{p-p}$ en bij verschillende frequenties van V_{EMI} . Er werd gesimuleerd tot 500 MHz aangezien bij nog hogere frequenties V_{UIT} nog minder dan een mV verandert. Hierbij werden de meest negatieve condities gebruikt zoals hierboven beschreven. Verder werd gerekend op een DC voeding V_{IN} van 5 V. In tabel 7.2 wordt hetzelfde als hierboven gedaan, maar dit keer werd gesimuleerd voor de verschillende ingekoppelde RF vermogens bij een frequentie voor V_{EMI} van 100 MHz. De overeenkomstige open-keten spanningen worden ernaast genoteerd. Er dient opgemerkt te worden, zoals in het hoofdstuk over het HSB+EMC blok, dat er bij de berekening van V_{EMI} werd aangenomen dat er matching van de bron en last is. Dit is in werkelijkheid niet het geval waardoor het echte geïnjecteerd vermogen lager is dan hier berekend. Uit deze tabellen kan geconcludeerd worden dat V_{UIT} binnen de toegelaten grenzen blijft, waardoor de specificatie voor de EMC-robustheid met overtuiging gehaald wordt.

Frequentie [MHz]	min V_{UIT} [V]	max V_{UIT} [V]	ΔV_{UIT} [mV]
100	3,2804	3,2981	17,7
200	3,2832	3,2877	4,5
300	3,2960	3,2981	2,1
400	3,2970	3,2982	1,2
500	3,2973	3,2979	0,6

Tabel 7.1: Variatie V_{UIT} bij $V_{EMI} = 40 V_{p-p}$ bij verschillende frequenties

RF vermogen [dBm]	V_{EMI} [V_{p-p}]	min V_{UIT} [V]	max V_{UIT} [V]	ΔV_{UIT} [mV]
0	1,264	3,2964	3,2987	2,3
10	4	3,2987	3,2987	2,4
20	12,64	3,2914	3,2987	7,3
30	40	3,2804	3,2981	17,7

Tabel 7.2: Variatie V_{UIT} bij 100 MHz en bij verschillende ingekoppelde RF vermogens

Hoofdstuk 8

Toekomstig werk

Omdat de auteur van dit werk pas dit jaar geïntroduceerd werd tot de wondere wereld van analog ontwerp, kon de tijd voor het ontwerp van de spanningsregelaar niet ten volle benut worden. Er zijn namelijk nog enkele delen van het ontwerp die moeten afgewerkt worden.

Ten eerste moet nog een opstartcircuit ontworpen worden. Omdat de foutversterker zo ontworpen werd dat de gate zo goed mogelijk met de voeding van de foutversterker gecorreleerd wordt (om de PSRR te verbeteren), zal bij het omhoog gaan van de voedingsspanning de gate-source spanning van de pass transistor klein blijven. Daardoor wordt niet genoeg stroom in de uitgangsimpedantie geïnjecteerd waardoor V_{UIT} niet mee zal stijgen met de voedingsspanning. Het opstartcircuit moet er dan voor zorgen dat V_{UIT} initieel wel omhoog komt (maar niet hoger dan 3,3 V), waardoor het differentiaalpaar en het bandgapcircuit gevoed worden en de regelaar in werking treedt.

Ten tweede kan de spanningsregelaar nog geoptimaliseerd worden voor beste performantie in aanwezigheid van procesvariaties (bij mismatch en verschillende process corners). De degradatie van de PSRR tussen ingangsspanningen van 4,5 V en 4,6 V in het bijzonder kan verder worden onderzocht en worden verholpen.

Er zijn ook enkele onuitgewerkte denkpistes die in een verbetering van de spanningregelaar kunnen resulteren. Een eerste verbetering kan zijn om een extra condensator in parallel met de terugkoppelweerstand tussen V_{UIT} en de ingang van de foutversterker te plaatsen. Zo wordt voor een linker halfvlak nul gezorgd. Via een slimme plaatsing van deze nul kan een hogere eenheidsversterkingsfrequentie en extra fasemarge van de totale kringwinst mogelijk gemaakt worden.

Andere verbeteringen kunnen eruit bestaan om extra terugkoppelingen te voorzien om de hoogfrequente interne kringwinst te verhogen. Zo kan bijvoorbeeld de stroom door de pass transistor gevoeld worden door een transistor M_{par} in parallel met de pass transistor (source en gate van M_{par} verbonden met source en gate van de pass transistor en de drain van M_{par} op ongeveer 3,3 V). Als de Ahuja terugkoppeling actief is en de pass transistor

daardoor een compensatiestroom uitstuurt, kan deze stroom dan gevoeld worden door M_{par} en nog worden versterkt door een extra terugkoppellus. Hierdoor kan onder meer het antwoord op een stroomstap verbeterd worden.

Hoofdstuk 9

Besluit

In deze thesis werd een EMC-robuste lineaire spanningregelaar ontworpen in de XH018 technologie. Daarbij werd ervoor gezorgd dat de regelaar beschermd is tegen omgekeerde polariteit en hoge spanningen door het toevoegen van een circuit voor hoogspanningsbescherming. Dit circuit werd tevens in combinatie met een extra transistor en condensatoren gebruikt om de EMC-robustheid te bevorderen.

De foutversterker van de spanningsregelaar werd voorzien van een snelle interne terugkoppeling. Deze terugkoppeling wordt gebruikt om het antwoord op een stroomstap aan de uitgang te verbeteren en om poolsplitsing toe te passen. Zodoende wordt de regelkring gestabiliseerd en wordt bij normale werking (laststroom tussen 1 en 10 mA) een minimale fasemarge van 82° verkregen. De foutversterker werd voorts zo ontworpen dat compensatietechnieken konden toegepast worden om de PSRR te verbeteren in een zeer breed frequentiegebied. Daarbij werd de stroom, die nodig is voor de snelle interne terugkoppeling, op een elegante manier hergebruikt. Dit leidt tot een grotere vermogenefficiëntie en een betere performantie voor de PSRR en het stroomstapantwoord.

Alle vooropgestelde specificaties werden gehaald. Het stroomverbruik van het volledige ontwerp (inclusief instelcircuits) wordt bij normale werking nooit groter dan 0,4 mA. De uitgangsspanning verandert nooit meer dan 50 mV bij een stroomstap van 0,5 mA aan de uitgang. De PSRR wordt bij een ingangsspanning van 5 V en in aanwezigheid van procesvariates nooit slechter dan -29 dB en de regelaar is volgens de uitgevoerde simulaties zeer robuust tegen de inkoppeling van grote vermogens aan de ingangspin (EMC-robust). De totale chipoppervlakte van dit ontwerp, inclusief het grote HSB+EMC blok maar zonder een bandgapcircuit en opstartcircuit, bedraagt ongeveer $0,45 \text{ mm}^2$.

Bibliografie

- [1] B. K. Ahuja. An improved frequency compensation technique for cmos operational amplifiers. *IEEE J. Solid-State Circuits*, 1983.
- [2] Vahid Majidzadeh, Kanber Mithat Silay, Alexandre Schmid, Catherine Dehollain, and Yusuf Leblebici. A fully on-chip ldo voltage regulator with 37 db psrr at 1 mhz for remotely powered biomedical implants. *Analog Integrated Circuits Signal Processing*, pages 157–168.
- [3] Robert J. Milliken. A capacitor-less low drop-out voltage regulator with fast transient response. Master’s thesis, Texas A&M University, 2005.
- [4] Gabriel A. Rincon-Mora. Active capacitor multiplier in miller-compensated circuits. *IEEE J. Solid-State Circuits*, 2000.
- [5] E. Sackinger, J. Goette, and W. Guggenbul. A general relationship between amplifier parameters, and its application to psrr improvement. *IEEE Trans. Circuits Sys.*, pages 1173–1181, 1991.
- [6] Willy M. C. Sanssen. *Analog Design Essentials*. Springer, 2006.

Lijst van figuren

2.1	Soorten lineaire spanningsregelaars	4
2.2	Spanningsniveaus in dit ontwerp	4
2.3	Mogelijke NMOS en PMOS topologieën	5
3.1	Het volledige systeem met aangegeven spanningen	8
3.2	De gevolgde ontwerpsflow van het volledige systeem	11
4.1	Het circuit voor hoogspanningsbescherming	13
4.2	Invloed van V_{IN} en temperatuur op V_{TUSSEN}	14
4.3	Magnitude en fase van open-keten versterking in meest negatieve condities	15
4.4	Aanschakelgedrag van hoogspanningsbescherming in tijdsdomein	16
4.5	EMC-robuustheidsgedeelte van het HSB+EMC blok	17
4.6	Testbank voor de meetopstelling met het ingekoppeld RF vermogen	18
5.1	De modellering om het rechtstreekse doorkoppeleffect in kaart te brengen	22
5.2	Modellering van het rechtstreekse doorkoppeleffect door spanningsdeling .	23
5.3	Modellering van doorkoppeleffect via de gate van de pass transistor	24
5.4	PMOS stroomspiegel en laagfrequent kleinsignaal vervangschema	25
5.5	PMOS stroomspiegel aan gate pass transistor met belangrijkste circuitelementen voor hoge frequenties en compensatiecondensator C_C	26
5.6	Vereenvoudigd hoogfrequent kleinsignaal vervangschema voor PMOS stroom- spiegel met compensatiecapaciteit C_C	27
5.7	Modellering van PSRR door doorkoppeling naar gate	28
6.1	De spanningsregelaar met snelle interne terugkoppeling	29
6.2	Terugkoppelnetswerk door Ahuja compensatie	31
6.3	Terugkoppelnetswerk door Ahuja compensatie met stroomversterking	33
6.4	Vereenvoudigde tweetrapsversterker met Ahuja en Miller compensatie	35
7.1	De spanningsregelaar op circuitniveau zonder het HSB+EMC blok	38
7.2	Het stroomstapantwoord bij de meest negatieve condities	41
7.3	Bode plots magnitude en fase van totale kringwinst bij de meest negatieve condities	42
7.4	PSRR finaal ontwerp bij meest negatieve condities voor verschillende laststromen I_L	45

7.5	Overgangsgedrag van V_{TUSSEN} en V_{UIT} bij het aanschakelen van V_{EMI} van $0 V_{\text{p-p}}$ tot $40 V_{\text{p-p}}$	47
7.6	V_{UIT} in regime bij $V_{\text{EMI}} = 40 V_{\text{p-p}}$ bij 100 MHz	48

Lijst van tabellen

1.1	Opgelegde specificaties	2
3.1	Vergelijking belangrijkste parameters van <i>phv</i> en <i>pmc</i> transistoren bij $V_{IN} = 5\text{ V}$, $I_L = 10\text{ mA}$ en 175°C	9
3.2	Belangrijkste parameters van finale <i>pmc</i> transistor bij $V_{IN} = 5\text{ V}$, $I_L = 10\text{ mA}$ en 175°C	10
4.1	Interessante RF vermogen waarden en corresponderende open-keten spanningen	18
7.1	Variatie V_{UIT} bij $V_{EMI} = 40\text{ V}_{p-p}$ bij verschillende frequenties	49
7.2	Variatie V_{UIT} bij 100 MHz en bij verschillende ingekoppelde RF vermogens	49